

Tópico 8

Conversores entre Sinais Analógicos e Digitais

Autores: José Raimundo de Oliveira e Wu Shin-Ting
DCA - FEEC - Unicamp
Agosto de 2019

8.1 Quantidade Analógica e Quantidade Digital	2
8.2 Conversão Digital-Analógica (D/A)	5
8.2.1 Circuitos Conversores D/A	5
8.2.2 Parâmetros	10
8.3 Conversão Analógica-Digital (A/D)	11
8.3.1 Circuitos conversores A/D	11
8.3.2 Parâmetros	14
8.4 Folhas Técnicas	16
8.5 Projetos de interfaces de conversão	18
8.6 Exercícios	21
8.7 Referências	24

Vimos no Capítulo 7 que os transdutores elétricos convertem os sinais físicos em sinais elétricos. A maioria das grandezas físicas é, no entanto, analógica por natureza tanto no tempo quanto nos valores. E mostramos no Capítulo 4 que os micro-processadores processam os sinais digitais. Para podermos usar a capacidade de processamento dos sistemas digitais no controle dos dispositivos de atuação com base nos sinais detectados pelos sensores, precisamos elaborar circuitos conversores entre os sinais analógicos (mundo físico) e os os sinais digitais (mundo computacional). O circuito de conversão dos sinais digitais para os

analógicos são conhecidos por **conversores digital-analógicos (D/A)**, enquanto a conversão dos sinais analógicos para os digitais são realizados pelos **conversores analógico-digitais (A/D)**. Vimos também no Capítulo 7 que muitos módulos de transdutores têm não só os circuitos de conversão integrados neles como também os circuitos de protocolo de comunicação dos sinais digitalizados como alguns dos sensores do SensorKit X40 [4].

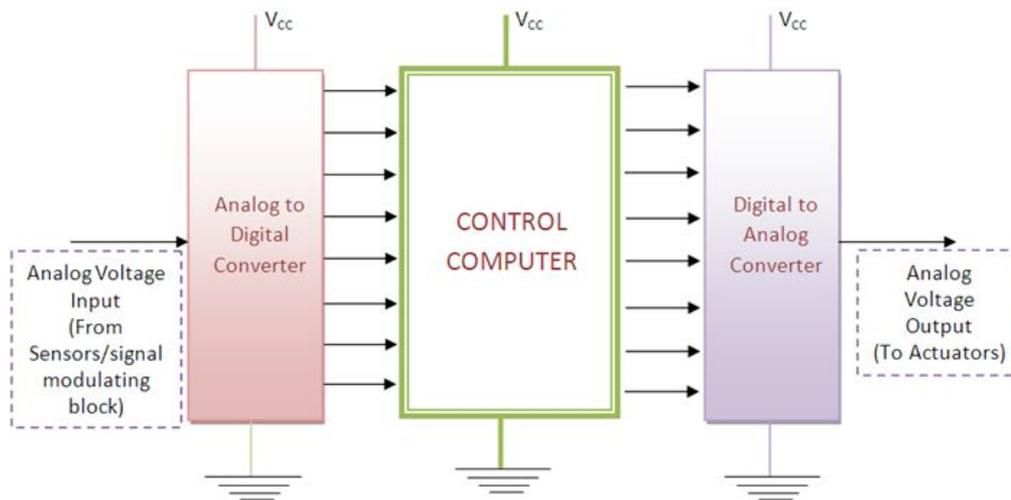


Figura 8.1: Conversores A/D e D/A. Fonte: [3]

Neste capítulo faremos uma breve introdução a estes circuitos de conversão com foco em projetos de sistemas embarcados. Como alguns importantes circuitos de ADC usam um DAC como parte dos seus circuitos, apresentaremos primeiro os DACs. Antes, daremos alguns conceitos relacionados com as grandezas analógicas e digitais. A maioria do conteúdo deste capítulo foi baseada do capítulo 11 do livro-texto de Tocci e colegas [1] e da apostila [2].

8.1 Quantidade Analógica e Quantidade Digital

Um sinal analógico é um sinal que varia continuamente no tempo, contendo uma infinidade de valores. Para viabilizar o processamento destes valores, é necessário **amostrar** o sinal, selecionando uma sequência finita de valores representativos do sinal. Os valores que um sinal analógico pode assumir são também contínuos, no sentido de que estes valores possam ser qualquer número de uma reta real \mathbb{R} . Para poder representá-los num sistema computacional, é necessário **quantizar** estes valores num dos valores digitalmente representáveis. Portanto, um sinal **digital** é um sinal analógico amostrado (discretizado) e quantizado (representável por um valor discreto). Nota-se que, tanto na amostragem (descarte de amostras) quanto na quantização (aproximação de valores), pode ocorrer perda de informações. Portanto, elaborar um bom esquema de amostragem e quantização é um dos pontos cruciais no projeto de sistemas embarcados.

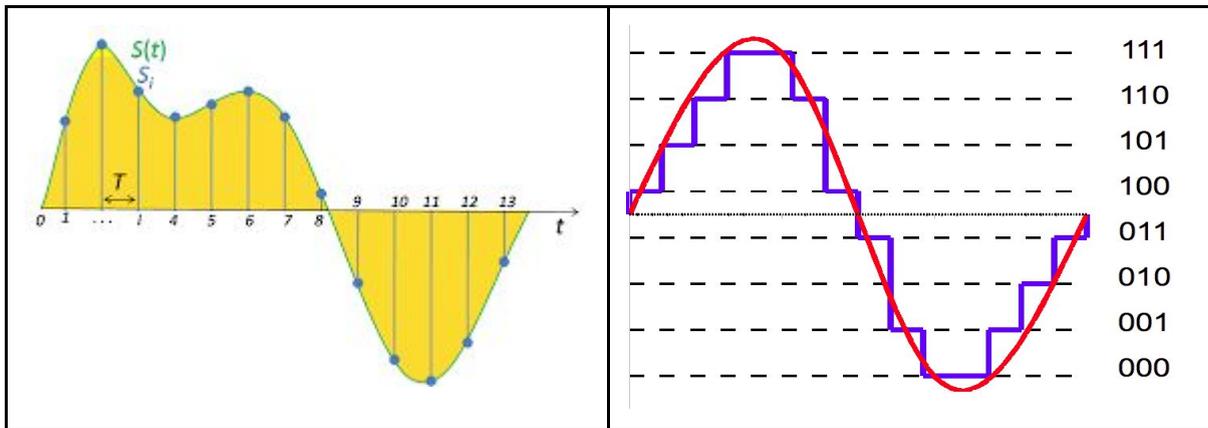


Figura 8.2: Amostragem (lado esquerdo) e quantização (lado direito)

Muitas vezes, buscamos na área de Processamento de Sinais técnicas que nos subsidiam no projeto de um esquema de amostragem e de quantização. Como já comentamos na Seção 6-7.1.2.5, o **teorema de amostragem de Nyquist-Shannon** é uma delas. Ele nos assegura que se consegue **reconstruir** integralmente um sinal analógico, limitado em banda, a partir de uma sequência de amostras com valores originais e obtidas em intervalos menores que $1/(2 \cdot f_m)$, onde f_m é a maior frequência em Hertz (Hz) do sinal original [5].

Figura 8.3 apresenta o modelo de amostragem no domínio de frequência. Veja no gráfico de topo uma **superamostragem** (*oversampling*), ou seja numa frequência maior que $2f_m$, no do meio uma **amostragem ideal** numa frequência exatamente igual a $2f_m$, e no gráfico da última linha de uma **subamostragem** (*downsampling*) com uma frequência menor que $2f_m$. Neste último caso, há sobreposição dos sinais de alta frequência com sinais de baixa frequência, distorcendo-os. Este é um problema conhecido por **falseamento** (*aliasing*). Quando a frequência de amostragem é muito baixa no domínio de frequência, é comum aplicar uma filtragem de suavização no sinal original para remover os componentes de frequências altas, antes de amostrá-lo.

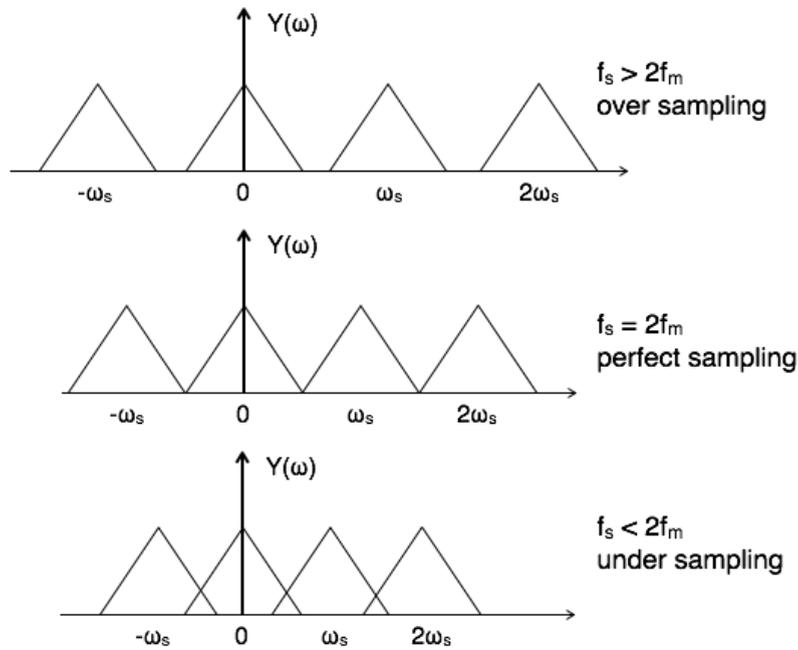


Figura 8.3: Amostragem no domínio de frequência.

Para melhorar a resolução dos sinais quantizados, ou seja melhorar a capacidade de diferenciar a menor variação Δ , procuramos limitar a faixa codificável entre o valor mínimo m e o valor máximo M (**fundo de escala**) e atribuir n bits para representar os códigos binários correspondentes aos valores da faixa, pois a relação entre a menor variação diferenciável e estas grandezas pode ser expressa pela equação

$$\Delta = \frac{(M-m)}{2^n - 1} .$$

Já comentamos na Seção 7.10 que, em termos do projeto de sistemas embarcados, a coexistência dos sinais analógicos e sinais digitais requer um tratamento especial de aterramento, que usualmente é usado como base, ou referência comum (potencial elétrico em 0V), para todas as medições de tensão do circuito [6]. Isso advém da grande diferença nos componentes harmônicos dos sinais analógico e dos sinais digitais quando os analisamos num analisador de espectro. Os sinais digitais contém sinais de altíssimas frequências, com picos de correntes, durante o chaveamento entre os estados binários (0 e 1). Isso pode induzir ruídos nos sinais analógicos e comprometer a qualidade destes sinais. Para minimizar as interferências dos sinais digitais sobre os sinais analógicos, uma alternativa é desacoplar um sistema misto em dois planos de aterramento: **aterramento analógico** e **aterramento digital**. O uso integral de uma das camadas cobreadas da placa de fenolite para aterramento reduz drasticamente a resistência e a indutância do caminho de retorno dos componentes de altíssima frequência dos

sinais digitais, melhorando o desacoplamento. Pithadia e More discutem em [7] os papéis dos planos de aterramento nos dispositivos de sinais mistos. Figura 8.4 ilustra uma alternativa correta para os dois aterramentos (AGND (*analog grounding*) e DGND (*digital grounding*)) e as convenções adotadas para representá-los num esquemático.

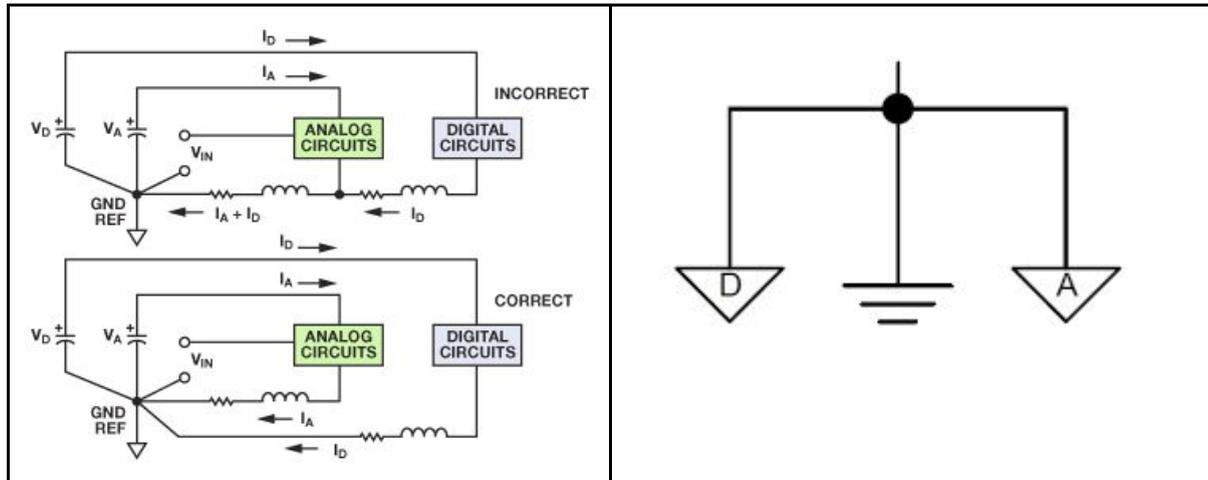


Figura 8.4: Uma alternativa de desacoplamento de aterramentos (terra analógico e terra digital) num sistema de sinais mistos. Fonte: [8].

8.2 Conversão Digital-Analógica (D/A)

Um conversor digital-analógico, em inglês *digital-to-analog converter* (DAC), é um circuito que tem a função de converter um sinal digital, usualmente representado por códigos binários, num sinal analógico, tipicamente na forma de corrente ou tensão. Um conversor D/A pode ser considerado como um potenciômetro controlado em passos discretos cuja saída é uma fração da **saída de fundo de escala** A_{fs} determinada pela fonte de alimentação. Exemplos de circuitos integrados de DAC são DAC0808 [10] e AD7524 [11].

8.2.1 Circuitos Conversores D/A

Existem diversos métodos e esquemas de circuitos para converter um código binário num nível de corrente ou tensão correspondente. Essencialmente, o circuito consiste em gerar para cada *bit* do código binário de entrada um montante de sinal analógico e somá-lo, ponderado pela sua posição no código, através de um amplificador operacional, como mostra a Figura 8.5. Nesta figura tem-se $A_{fs}=7.5V$ e os resistores de diferentes resistências foram usados para ponderar a corrente de cada ramo, de maneira que a soma das correntes no nó V2 seja

$$I_2 = b_0 (5V/R) + b_1 (5V/(R/2)) + b_2 (5V/(R/4)) + b_3 (5V/(R/8)) = (b_0 + b_1 * 2 + b_2 * 4 + b_3 * 8) * (5V/R)$$

Definindo $K=(5V/R)$, onde 5V é o valor da **fonte de referência** V_{ref} , como o **fator de proporcionalidade** do conversor D/A, chegamos a uma expressão de proporcionalidade linear entre a entrada digital (chaves) e a saída analógica (soma de correntes). É acoplado

ao ponto V2 um amplificador operacional para amplificar a tensão de saída, operando como um **buffer de saída**. Portanto, a tensão de saída V_o assume uma expressão análoga:

$$V_o = -R_F * I_2 = -R_F * (b_0 + b_1 * 2 + b_2 * 4 + b_3 * 8) * (5V/R) = -(b_0 + b_1 * 2 + b_2 * 4 + b_3 * 8) * (5V R_F/R),$$

sendo, neste caso, o fator de proporcionalidade $K = (5V R_F/R)$.

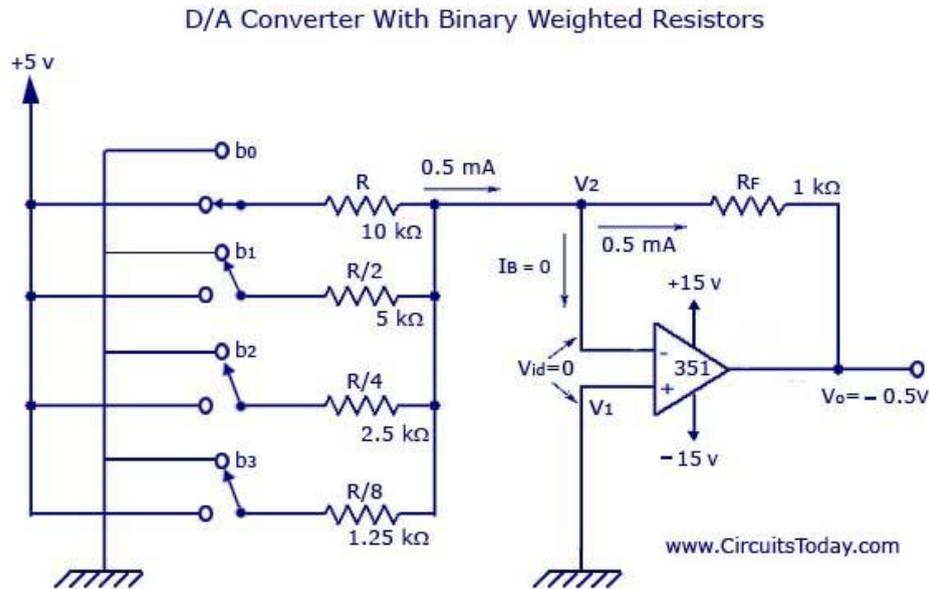


Figura 8.5:Circuito DAC com resistores ponderados.

Observe que a menor variação representável ΔV_o é igual ao peso do *bit* menos significativo b_0

$$\Delta V_o = b_0 * (5V R_F/R) = 1 * K = K,$$

Como ΔV_o corresponde à diferença de saída analógica de um degrau de incremento no sinal de entrada digital, a variação é conhecida como o **tamanho do degrau**. É também denominada a **resolução** do conversor D/A, porque, se a entrada digital for representada por n bits, então a saída de fundo de escala será quando todos os n bits estiverem em 1 (Seção 8.1)

$$A_{fs} = K (2^n - 1) \rightarrow K = \frac{A_{fs}}{(2^n - 1)}.$$

A **precisão** do circuito da Figura 8.5 depende da precisão dos resistores R , do resistor de realimentação R_F e da fonte de referência.

O principal problema do esquema paralelo usando resistores como pesos de ponderação é o aumento da faixa de variação das resistências quando se deseja construir um conversor de alta resolução (com n muito grande). Por exemplo, para $n=12$, a razão entre a maior resistência e a menor resistência pode ser 2^{11} . Um circuito alternativo é a **rede R/2R** que envolve dois valores de resistências R e $2R$, como mostra a Figura 8.6.

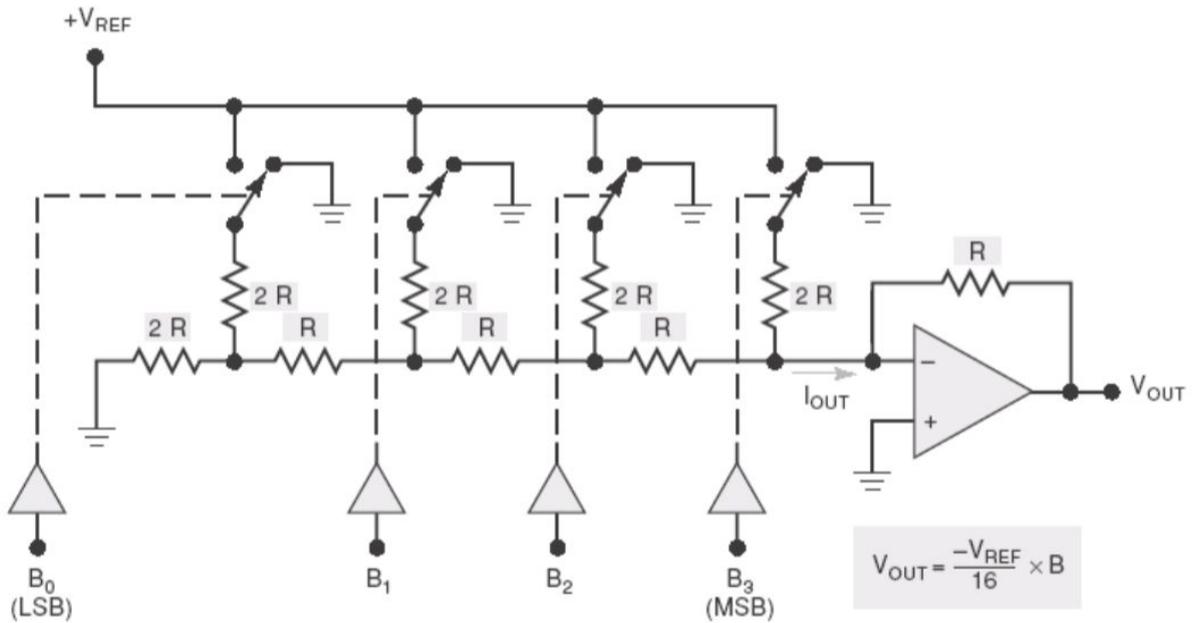


Figura 8.6: Conversor DAC com rede R/2R.

Para analisar a rede, utilizaremos o Teorema de Sobreposição e circuitos equivalentes de Thévenin para a fonte VREF em cada ramo de *bit* (em 1) vistos da entrada negativa do amplificador operacional.

Para o *bit* B0=1, o circuito equivalente de Thévenin é VREF/16 com resistor equivalente R, conforme mostra o processo de redução na Figura 8.7.

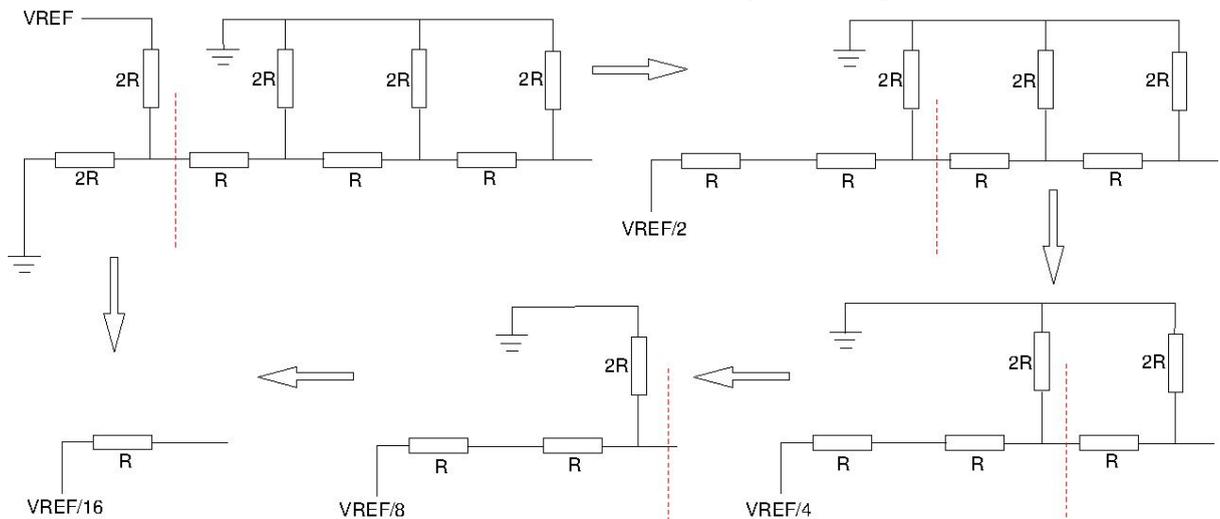


Figura 8.7: Circuito equivalente de Thévenin para a fonte em B0 do circuito da Figura 8.6.

Para o *bit* B1=1, o circuito equivalente de Thévenin é VREF/8 com o resistor equivalente R, conforme mostra o processo de redução na Figura 8.8.

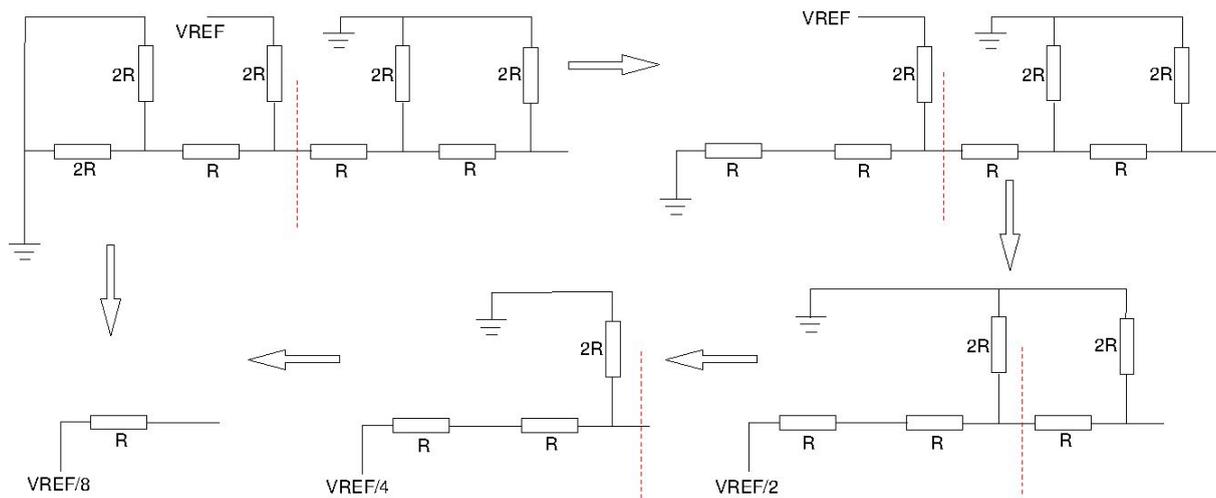


Figura 8.8: Circuito equivalente de Thévenin para a fonte em B1 do circuito da Figura 8.6.

Para o *bit* B2=1, o circuito equivalente de Thévenin é $V_{REF}/4$ com o resistor equivalente R , conforme mostra o processo de redução na Figura 8.9.

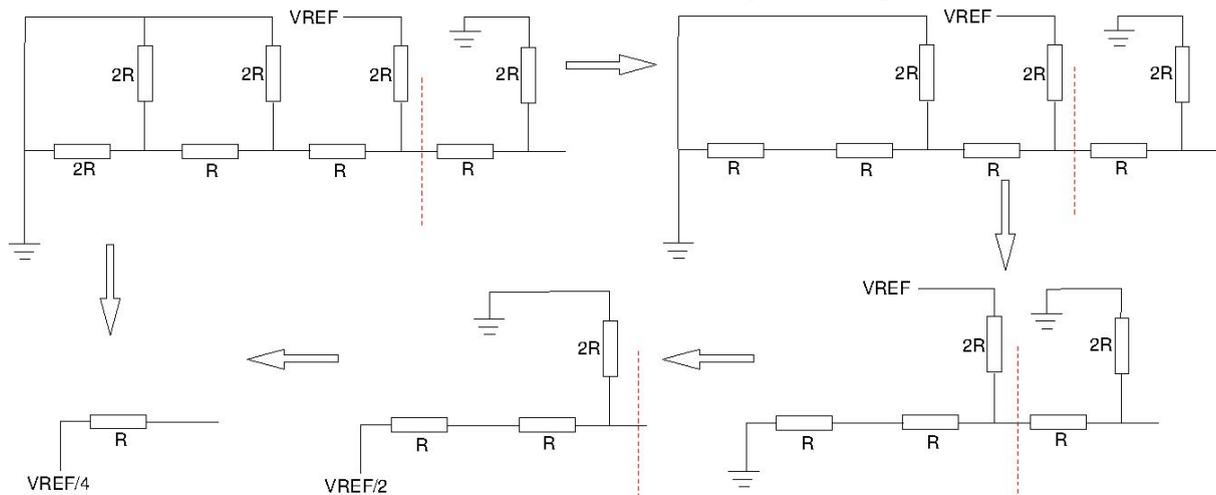


Figura 8.9: Circuito equivalente de Thévenin para a fonte em B2 do circuito da Figura 8.6.

Finalmente, para o *bit* B3=1, o circuito equivalente de Thévenin é $V_{REF}/16$ com o resistor equivalente R , conforme mostra o processo de redução na Figura 8.10.

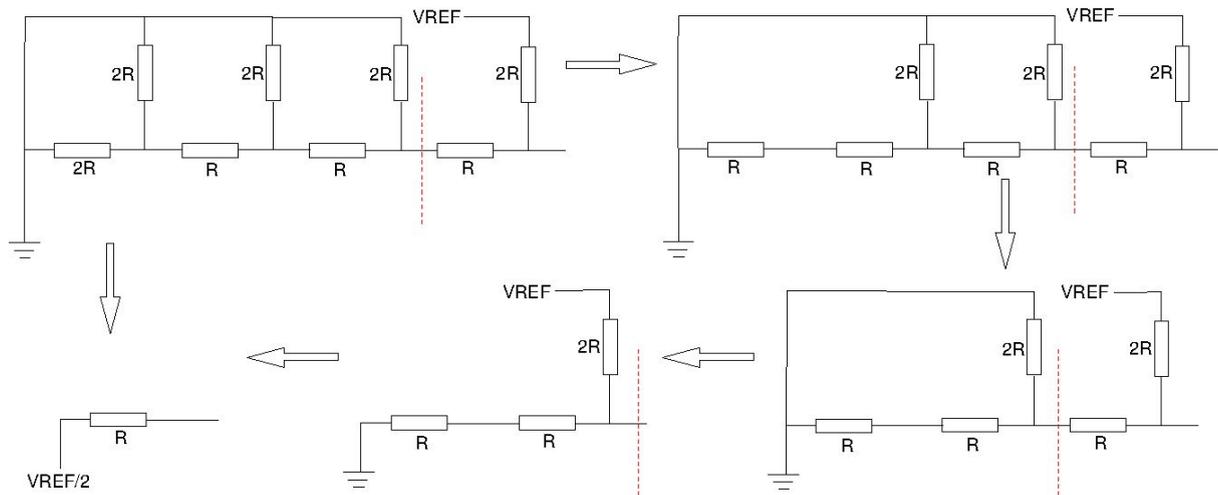


Figura 8.10: Circuito equivalente de Thévenin para a fonte em B3 do circuito da Figura 8.6.

Pelo Teorema de Sobreposição, a tensão na entrada negativa do amplificador operacional é a soma das tensões de cada ramo:

$$V = b_0(V_{REF}/16) + b_1(V_{REF}/4) + b_2(V_{REF}/8) + b_3(V_{REF}/16) = (b_0 + b_1 * 2 + b_2 * 4 + b_3 * 8) * (V_{REF}/16)$$

Sendo R a resistência equivalente, a corrente I_{OUT} é:

$$I_{OUT} = V/R = ((b_0 + b_1 * 2 + b_2 * 4 + b_3 * 8) * (V_{REF}/16))/R ,$$

pois a entrada negativa do amplificador operacional está virtualmente no potencial TERRA. A realimentação negativa do amplificador operacional força uma corrente igual a I_{OUT} pelo resistor R de realimentação, de forma que a tensão V_{OUT} seja

$$V_{OUT} = -(b_0 + b_1 * 2 + b_2 * 4 + b_3 * 8) * (V_{REF}/16) = B * (-V_{REF}/16) ,$$

onde B é a entrada digital.

Sendo o sinal digital uma aproximação, é importante notar que os resultados da conversão não constituem uma faixa contínua de valores. Para obter um sinal efetivamente contínuo, uma **interpolação** entre as amostras é necessária. Figura 8.11 ilustra duas formas de interpolação: linear e cúbica. Técnicas de interpolação mais simples, e mais aplicadas, é a linear. É necessário que fique atento ao problema de falseamento do sinal mencionado na Seção 8.1.

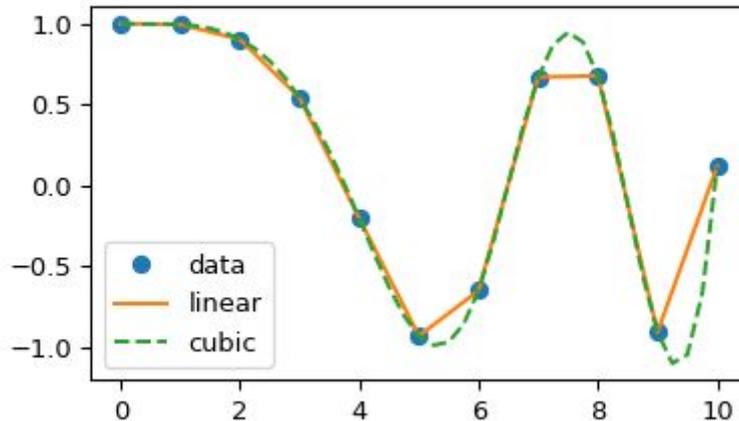


Figura 8.11: Interpolação linear e cúbica de dados analógicos (Fonte: [9]).

8.2.2 Parâmetros

Sob o ponto de vista de projetos de sistemas digitais, não é essencial o conhecimento dos detalhes da implementação de um circuito DAC, pois ele está disponível na forma de uma grande variedade de circuitos integrados com diferentes encapsulamentos para pronta integração num circuito. O que se precisa estar familiarizado como um bom projetista são os parâmetros dos circuitos que os fabricantes fornecem para fazer escolha adequada a uma aplicação específica, que já mencionamos no Capítulo 6-7, uma vez que os transdutores estão intimamente relacionados com os conversores A/D e D/A:

- **resolução**: corresponde ao tamanho de degrau em voltagem de um incremento binário no *bit* menos significativo, em inglês *Least Significant Bit* (LSB). Tipicamente, a **resolução (percentual)** é especificada em termos de quantidade de *bits* utilizada para representar um valor digital.

$$\text{resolução percentual} = \frac{FS}{(2^n - 1)FS} = \frac{1}{2^n - 1}.$$

- **precisão**: diz-se respeito ao grau de variação de resultados de uma medição. Entre os fabricantes de DACs, há duas formas mais usuais para especificar a precisão: **erro de fundo de escala** e **erro de linearidade**. O erro de fundo de escala é o desvio máximo da saída do DAC do valor esperado, expresso em percentagem do fundo de escala. A razão entre o erro do fundo de escala ε_{fs} e o fundo de escala A_{fs} é também conhecida por **faixa dinâmica**, usualmente expressa em decibéis¹:

$$\text{faixa dinâmica} = -20 \log \frac{\varepsilon_{fs}}{A_{fs}} \text{ (dB)}$$

¹ Observe que a faixa de valores que um conversor AD consegue resolver é também conhecida como faixa dinâmica (Seção 7.2.2).

O erro de linearidade é o desvio máximo no tamanho do degrau do tamanho exato, também expresso em percentagem do fundo de escala. É importante observar que a resolução e a precisão (faixa dinâmica) devem ser compatíveis para evitar desperdício de recursos.

- **erro de offset e erro de ganho:** correspondem, respectivamente, ao valor de saída quando todos os *bits* de entrada estiverem em 0 e, depois de zerado o erro de *offset*, a diferença entre a entrada real e a entrada esperada para que a saída seja o fundo de escala. O erro de offset, se não corrigido, é somado à saída do DAC em todos os casos de entrada. Muitos DACs têm um ajuste de *offset* e de ganho para que a saída seja nula quando todos os *bits* estiverem em 0 e seja máxima quando estiver com a entrada esperada.
- **tempo de estabilização:** corresponde ao tempo necessário para a saída do DAC estabilizar dentro do meio degrau ($\pm 1/2$) do tamanho de degrau do seu valor de fundo de escala.
- **monotonicidade:** a saída aumenta conforme a entrada é incrementada binariamente.

8.3 Conversão Analógica-Digital (A/D)

Um conversor analógico-digital, em inglês *digital-to-analog converter* (ADC), é um circuito que tem a função de converter um sinal analógico, usualmente na forma de corrente ou tensão, num sinal digital, representado por códigos binários. O procedimento envolve a amostragem e a quantização do sinal. Embora estes conversores estejam disponíveis comercialmente, o conhecimento das técnicas aplicadas na implementação dos módulos ajudam a entender melhor os parâmetros envolvidos na especificação de um conversor A/D pelos seus fabricantes e facilitam a sua escolha para uma aplicação de interesse. Exemplos de ADCs comerciais são ADC0804 [13] e ADS8866 [14].

8.3.1 Circuitos conversores A/D

Uma das versões mais simples do ADC é o **ADC de rampa digital** em que o valor de um contador é incrementado binariamente, como mostra a Figura 8.12. A saída do contador V_{AX} é convertida para um sinal analógico através de um DAC e este sinal analógico é comparado com o sinal de entrada analógico V_A . O sinal de saída do comparador EOC (end-of-conversion) é a entrada de uma porta lógica AND que realimenta um novo pulso do contador caso $V_{AX} < V_A$.

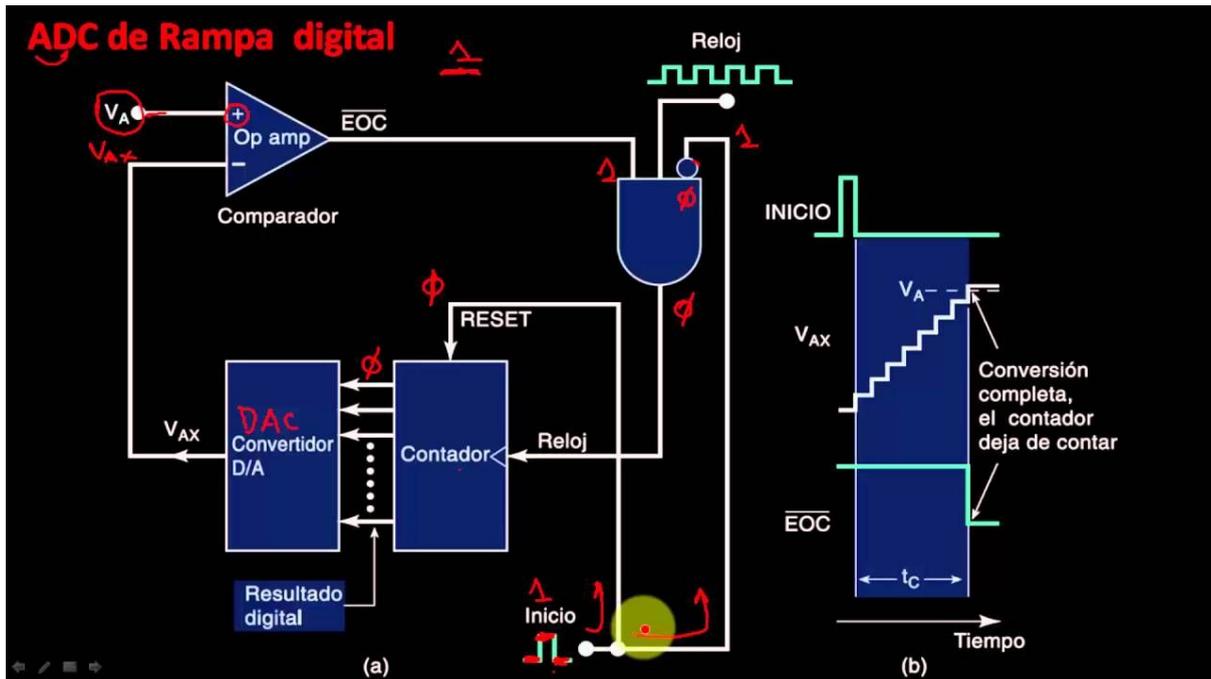


Figura 8.12: ADC de rampa digital (Fonte: [16]).

O maior problema do circuito conversor ADC de rampa digital é o tempo de conversão (Seção 8.3.2) que dobra para cada *bit* acrescentado à saída digital, ou seja à resolução do conversor. O maior tempo é quando se chega ao último degrau, próximo do fundo de escala. Para um conversor de n bits, seriam no mínimo

$$t_c(max) = (2^n - 1) \text{ ciclos de relógio.}$$

Uma alternativa bem difundida é o conversor de aproximações sucessivas que tem um valor fixo de tempo de conversão, independente do valor analógico de entrada. A principal diferença deste conversor para o ADC de rampa digital é a substituição do contador por um **registrador de aproximação sucessiva**, em inglês *successive approximation register* (SAR). A lógica de controle interno do SAR modifica para “1”, *bit a bit* do mais para o menos significativo, o conteúdo do registrador. Quando a saída do DAC fique maior que V_{IN} , o *bit* é então resetado para 0. Senão, verifique outros *bits* até que todos os *bits* sejam verificados. Observe na Figura 8.13 a presença de um conversor DAC para converter o sinal digital do registrador num sinal analógico, compatível para comparação com o sinal de entrada V_{IN} . Note ainda o módulo **amostragem-e-retenção**, em inglês *sample-and-hold* (S/H). Este módulo tem a função de “congelar” o sinal analógico por um intervalo de tempo enquanto a conversão estiver sendo realizada.

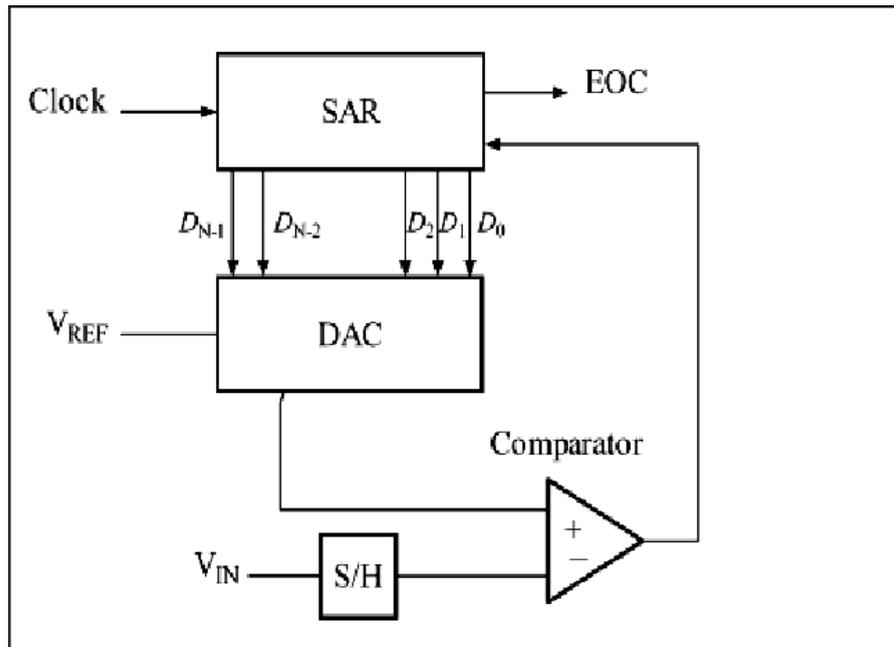


Figura 8.13: ADC de aproximações sucessivas.

Figura 8.14 ilustra um circuito de amostragem e retenção, que mantém a tensão analógica constante enquanto o sinal é amostrado. Observe a presença do capacitor no circuito para ajudar na retenção do sinal. Exemplo de um AD2254 é um circuito integrado S/H.

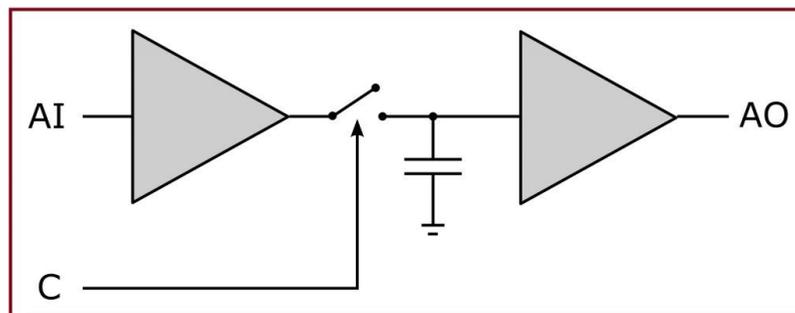


Figura 8.14: Circuito de amostragem e retenção

Os conversores FLASH são muito mais rápidos do que os anteriores, pois não usa DAC internamente. Porém, requer muito mais circuitos comparadores do que os outros. Na Figura 8.14 ilustra um flash DAC de 2 bits. Observe que há um divisor de tensão que divide o fundo de escala em 4 faixas e compara as tensões em cada ponto com a tensão de referência para decidir combinacionalmente os valores dos dois bits da saída digital. Geralmente, um conversor *flash* de n bits precisaria de $2^n - 1$ comparadores, 2^n resistores e a lógica necessária para o codificador.

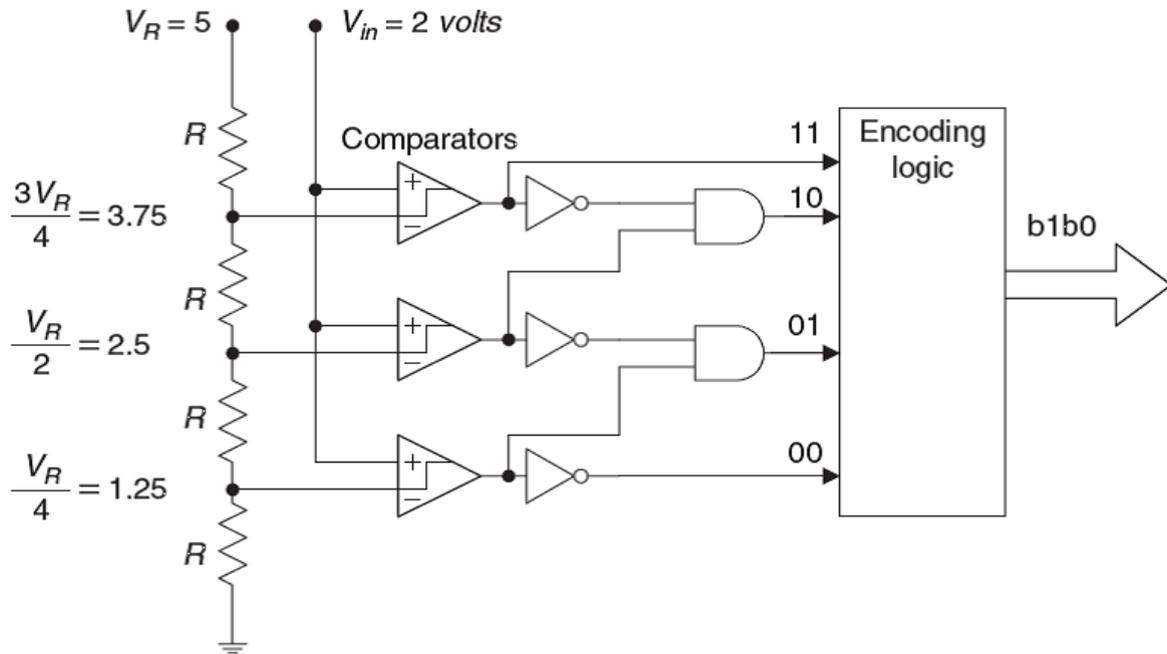


Figura 8.14: Flash ADC.

É muito comum integrar a um circuito conversor A/D um circuito de **multiplexação** de maneira que um mesmo circuito ADC possa ser compartilhado por várias fontes de sinais analógicos para múltiplas conversões como ilustra a Figura 8.15.

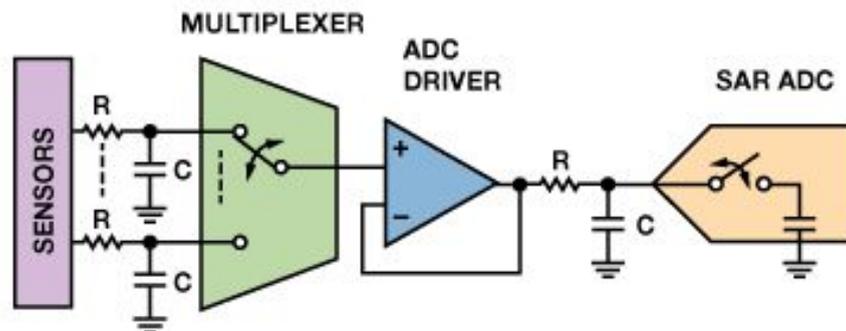


Figura 8.15: Compartilhamento de um mesmo circuito conversor A/D, por multiplexação (Fonte: [12]).

Vale comentar aqui que a tecnologia dos ADCs evoluiu muito nas últimas décadas. São comuns dispositivos com uma frequência de 250 mega amostras por segunda e uma resolução de 16 *bits* [15].

8.3.2 Parâmetros

Parâmetros relevantes de um ADC para um projetista de um sistema embarcado na escolha de componentes apropriados para o desempenho requerido do sistema.

- **precisão:** como vimos na Seção 8.2.2, tem a ver com o grau de variação de resultados de uma medição. Está relacionada com o **erro de quantização**, que é a diferença entre o valor analógico esperado e os valores analógicos associados ao valor digital, pois valores de tensões dentro a faixa correspondente a uma unidade binária (1 LSB) são tipicamente representados por um mesmo valor digital. Uma prática comum é fazer o erro de quantização simétrico em relação ao múltiplo inteiro da resolução, ou seja $\pm 1/2$ LSB. Assim, os resultados poderiam oscilar dentro de $\pm 1/2$ LSB. O erro de precisão de um ADC seria a faixa de valores analógicos que são mapeados num mesmo valor digital.
- **resolução:** como em DACs, corresponde à variação na tensão analógica de entrada necessária para produzir uma variação no *bit* menos significativo (1 LSB). É especificado em termos da quantidade de *bits* que um ADC consegue gerar para representar o valor analógico amostrado.
- **tempo de conversão:** é o intervalo de tempo entre o início e o fim de uma conversão. Este tempo varia muito entre os ADCs. O tempo de conversão de um ADC de rampa digital é, para o pior caso,

$$t_c(max) = (2^n - 1) * T_{relógio}$$

quando o sinal analógico de entrada estiver um pouco abaixo do fundo de escala. $T_{relógio}$ e n denotam, respectivamente, o período do relógio e a quantidade de *bits* do contador. Algumas vezes, o tempo médio de conversão $t_c(med)$ é especificado. Ele é a metade do tempo máximo de conversão.

No caso de ADCs de aproximações sucessivas, o tempo total de conversão sempre depende da quantidade n de *bits* que o conversor precisa varrer, pois a lógica da conversão se baseia na verificação, *bit* a *bit*, a necessidade de setar o *bit* em “1”. Portanto,

$$t_c(max) = n * T_{relógio} .$$

E os **ADCs flash** são circuitos combinacionais. As conversões são realizadas continuamente e o tempo de conversão depende apenas dos atrasos de propagação dos comparadores e da lógica de codificação. Portanto, são chamados *flash* pela rapidez na conversão.

- **relação sinal-ruído**, em inglês *signal-to-noise ratio* (SNR): é razão entre a raiz do valor quadrático médio, em inglês *root mean square* (RMS), da amplitude do sinal físico real e a raiz do valor quadrático médio da soma de todos os componentes espectrais exceto as 6 primeiras harmônicas e a componente DC. Para um ADC ideal, a relação SNR é determinada pelo ruído de quantização do conversor [15]

$$SNR = 20 \log_{10}(\sqrt{1.5} \cdot 2^n) \approx 6.02 \cdot n + 1.76 \text{ dB} ,$$

onde n é a quantidade de *bits*.

Quando se superamostra os sinais com uma frequência maior do que duas vezes a frequência de sinal (frequência de Nyquist) e com uma adequada filtragem depois da conversão AD, a relação SNR chega a [15]

$$SNR = 20 \log_{10}(\sqrt{3} \cdot 2^{n-1} \sqrt{\frac{f_{clock}}{f_{analógico}}}) \approx 6.02 \cdot n + 1.76 \text{ dB} + 10 \log_{10}\left(\frac{f_{clock}}{2 \cdot f_{analógico}}\right),$$

onde f_{clock} e $f_{analógico}$ são, respectivamente, a frequência de amostragem e a maior frequência do sinal.

8.4 Folhas Técnicas

Difícilmente um projetista de sistemas embarcados precisa projetar um conversor A/D ou D/A, pois existe uma série de famílias de conversores disponíveis como unidades completamente encapsuladas ou integrados aos transdutores. A tarefa dos projetistas se reduzem à escolha de um conversor apropriado para os requisitos dos seus projetos com base numa série de características fornecidas pelos fabricantes que apresentamos nas Seções 8.2.2 e 8.3.2. Além disso, é importante entender as relações temporais dos sinais de um conversor para conectá-lo com outros dispositivos de um sistema digital.

Vamos ilustrar os diagramas de tempo de dois conversores para praticarmos a leitura dos diagramas de tempo. O primeiro conversor é o DAC de rede R/2R de 8 bits bufferizado, AD7524, cujo comportamento é similar ao de ciclo de escrita de uma memória RAM. E o segundo conversor é um ADC de aproximações sucessivas, 8 bits e 8 canais multiplexáveis, AD0808.

O conversor AD7524 tem 3 modos de operação. Somente no modo /CS (CHIP SELECT) = /WR (WRITE) = 0, o conversor responde à entrada digital, atualizando a saída analógica com o valor correspondente (DATA), como mostra o diagrama de tempo na Figura 5.16.

MODE SELECTION TABLE

$\overline{\text{CS}}$	$\overline{\text{WR}}$	Mode	DAC Response
L	L	Write	DAC responds to data bus (DB0–DB7) inputs.
H	X	Hold	Data bus (DB0–DB7) is Locked Out: DAC holds last data present when $\overline{\text{WR}}$ or $\overline{\text{CS}}$ assumed HIGH state.
X	H	Hold	

L = Low State, H = High State, X = Don't Care.

Parameter	Limit, $T_A = 25^\circ\text{C}$		Limit, T_{MIN}, T_{MAX}^1		Unit	Test Conditions/ Comments
	$V_{DD} = 5\text{ V}$	$V_{DD} = 15\text{ V}$	$V_{DD} = 5\text{ V}$	$V_{DD} = 15\text{ V}$		
SWITCHING CHARACTERISTICS						
Chip Select to Write Setup Time, t_{CS}^5	170	100	240	150	ns min	See Figure 2
Chip Select to Write Hold Time, t_{CH}	0	0	0	0	ns min	$t_{WR} = t_{CS}$
Write Pulse Width, t_{WR}	170	100	240	150	ns min	$t_{CS} \geq t_{WR}, t_{CH} \geq 0$
Data Setup Time, t_{DS}	135	60	170	100	ns min	
Data Hold Time, t_{DH}	10	10	10	10	ns min	
POWER SUPPLY						
I_{DD}	1	2	2	2	mA max	All digital inputs V_{IL} or V_{IH}
	100	100	500	500	μA max	All digital inputs 0V or V_{DD}

¹ Temperature range is as follows: -55°C to $+125^\circ\text{C}$.

² Gain error is measured using internal feedback resistor. Full-scale range (FSR) = V_{REF} .

³ Guaranteed not tested.

⁴ DAC thin-film resistor temperature coefficient is approximately $-300\text{ ppm}/^\circ\text{C}$.

⁵ AC parameter, sample tested @ 25°C to ensure conformance to specification.

WRITE CYCLE TIMING DIAGRAM

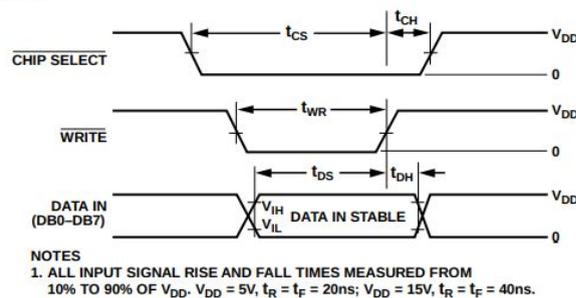
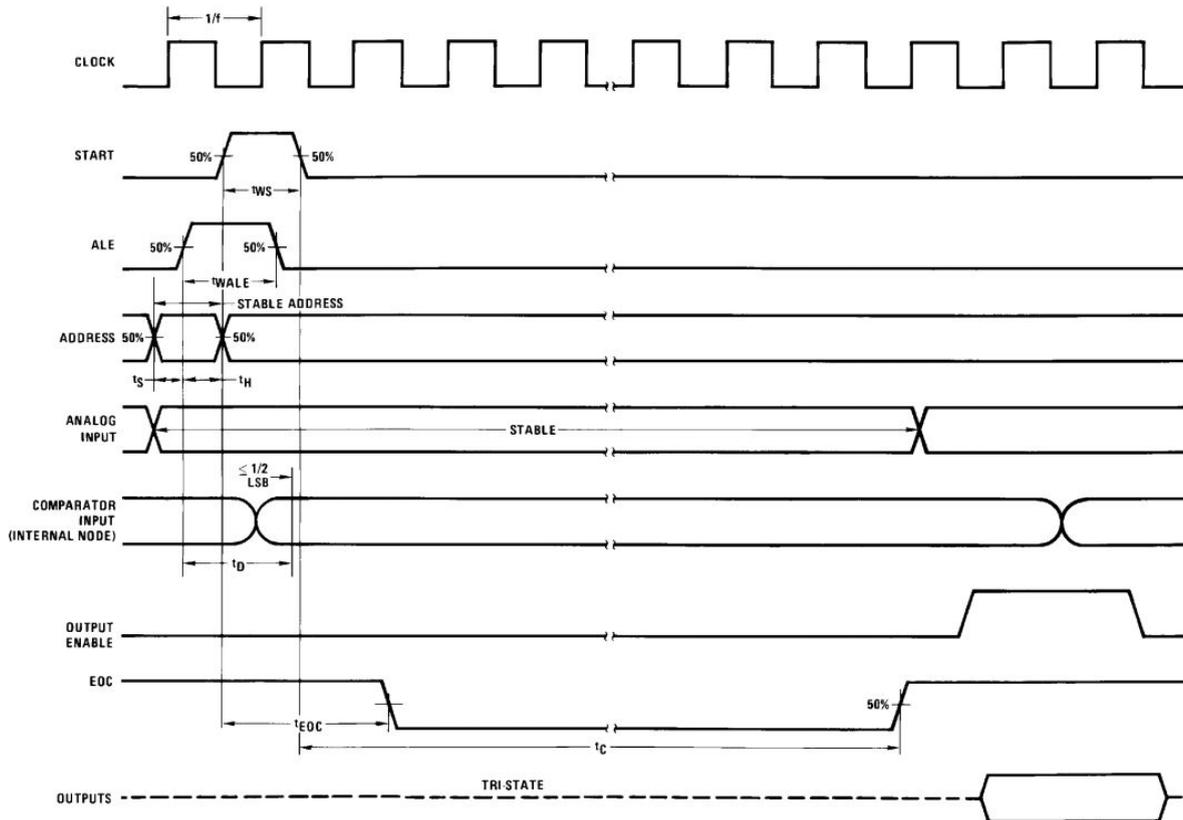


Figura 8.16: Diagrama de tempo de conversão do AD7524.

Como são multiplexáveis até 8 sinais analógicos em AD 0808, deve-se colocar num dos 8 canais de entrada (ANALOG INPUT) o sinal que se deseja converter e especificar nos três pinos de endereços (ADDRESS) qual dos 8 canais, antes de habilitar a captura deste endereço, em inglês *Address Latch Enable* (ALE). Esta sequência temporal é representada no diagrama de tempo da Figura 8.17. Daí, um pulso de início START é ativado e inicia-se o processo de conversão quando o sinal EOC fique em nível baixo por $t_c < 116$ microsegundos. Daí o sinal de habilitação de saída (OUTPUT ENABLE) é ativado e os sinais digitais correspondentes válidos (OUTPUTS) disponíveis. Veja as restrições temporais nos pulsos de START e ALE.



Electrical Characteristics – Timing Specifications (continued)

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25^\circ C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	(Figure 7)		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	(Figure 7)		100	200	ns
t_s	Minimum Address Set-Up Time	(Figure 7)		25	50	ns
t_H	Minimum Address Hold Time	(Figure 7)		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ (Figure 7)		1	2.5	μs
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10k$ (Figure 10)		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L=10$ pF, $R_L=10k$ (Figure 10)		125	250	ns
t_c	Conversion Time	$f_c=640$ kHz, (Figure 7) ⁽¹⁾	90	100	116	μs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	(Figure 7)	0		$8 + 2 \mu s$	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs		10	15	pF

(1) The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Figura 8.17: Diagrama de tempo de conversão do ADC0808.

8.5 Projetos de interfaces de conversão

De posse das características dos conversores e dos microprocessadores, ou de outros dispositivos, podemos projetar circuitos de interface que permitam a cooperação desses conversores com outros circuitos.

Se formos conectar AD7524, por exemplo, com o processador 68000 8MHz [19], precisamos gerar sinais de controle /CHIP SELECT e /WRITE do conversor a partir dos sinais do processador já que este é o elemento ativo no controle. Para isso, precisamos primeiro atribuir (mapear) um endereço ao conversor para que a CPU possa endereçá-lo. Supomos que seja o endereço 0x4000E0, então o sinal de seleção deve ser:

$$\text{/CHIP SELECT} = \text{/}(\text{/AS} \ \& \ \text{/LDS} \ \& \ \text{A23} \ \& \ \text{/A22} \ \& \ \text{/A21} \ \& \ \text{/A20} \ \dots \ \& \ \text{/A8} \ \& \ \text{A7} \ \& \ \text{A6} \ \& \ \text{A5} \ \& \ \text{/A4} \ \& \ \text{/A3} \ \& \ \text{/A2} \ \& \ \text{/A1}) =$$

AS v LDS v /A23 v A22 v A21 v A20 ... v A8 v /A7 v /A6 v /A5 v A4 v A3 v A2 v A1, onde /AS e /LDS são os sinais de controle de 68000 para indicar que os *bits* de endereços A23--A01 no barramento são válidos e que o último *bit* do endereço é 0 (par). Vale lembrar aqui que o último *bit* A0 é desdobrado em /UDS (endereços ímpares) e /LDS (endereços pares) em 68000. O segundo sinal de controle depende do modo de operação (R/W) e da disponibilidade dos endereços

$$\text{/WRITE} = \text{/}(\text{/AS} \ \& \ \text{/LDS} \ \& \ \text{/R/W}) = \text{AS} \ \text{v} \ \text{LDS} \ \text{v} \ \text{R/W}.$$

Para que o conversor consiga, de fato, amostrar corretamente os dados, é necessário que os sinais sintetizados a partir dos sinais de 68000 tenham restrições temporais fornecidas pelo fabricante (Figura 8.16). Portanto, em segundo lugar, vamos ter que verificar se os sinais estão temporalmente consistentes. O pulso negativo do /CHIP SELECT

$$t_{CS} + t_{CH} = t_{SL(W)}$$

Como $t_{CH} = 0$,

$$t_{CS} = t_{SL(W)} = 140ns < 170ns$$

e o pulso negativo do /WRITE

$$t_{WR} = t_{SL(W)} = 140ns < 170ns$$

Observe que os pulsos que derivamos não satisfazem as restrições temporais especificadas pelo fabricante. Alguma solução? Reavaliando os sinais, uma alternativa é mapearmos o nosso conversor para uma palavra de 2 *bytes* e preencher o *byte* mais significativo com 0, ou ignorá-lo na leitura. Com isso, podemos retirar o sinal /LDS das funções lógicas acima
 $\text{/CHIP SELECT} = \text{AS} \ \text{v} \ \text{/A23} \ \text{v} \ \text{A22} \ \text{v} \ \text{A21} \ \text{v} \ \text{A20} \ \dots \ \text{v} \ \text{A8} \ \text{v} \ \text{/A7} \ \text{v} \ \text{/A6} \ \text{v} \ \text{/A5} \ \text{v} \ \text{A4} \ \text{v} \ \text{A3} \ \text{v} \ \text{A2} \ \text{v} \ \text{A1},$
 $\text{/WRITE} = \text{/}(\text{/AS} \ \& \ \text{/LDS} \ \& \ \text{/R/W}) = \text{AS} \ \text{v} \ \text{R/W}.$

E as larguras dos pulsos negativos passarão a satisfazer as especificações do fabricante do conversor

$$t_{CS} = t_{SL} = 270ns > 170ns$$

$$t_{WR} = t_{SL(W)} = 270ns > 170ns .$$

E em relação à borda de subida do sinal /WRITE, temos que verificar se o tempo de *setup* e

$$t_{DS} = t_{SL(W)} + t_{DOSL} = 140ns + 40ns = 180ns > 135ns$$

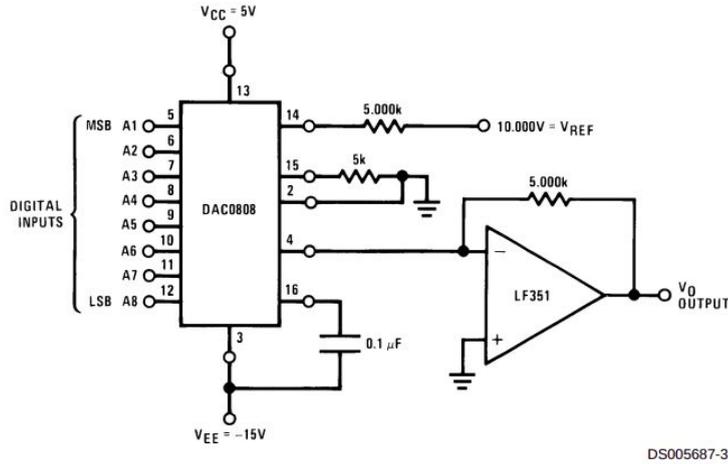
e o tempo de *hold* são satisfeitos para garantir a correta amostragem:

$$t_{DH} = t_{SHDOI} = 40ns > 10ns.$$

Todos os valores estão dentro dos limites.

O procedimento de análise temporal apresentado vale para qualquer interface de periféricos. Vamos agora apresentar duas aplicações típicas de DAC0808 e ADC0808 extraídas das folhas técnicas destes conversores.

Figura 8.18 mostra uma aplicação típica de conversão de um sinal digital de 8 bits para um sinal analógico de até 10V.



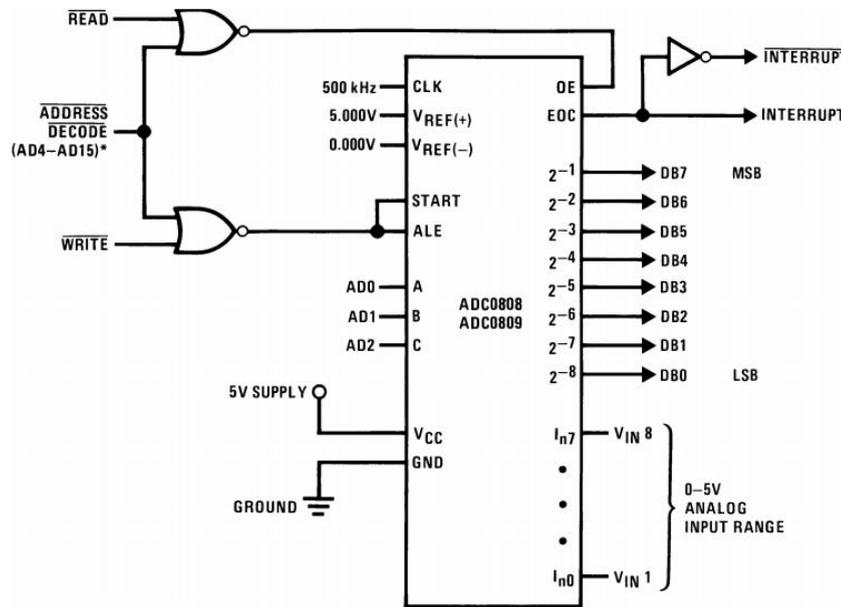
$$V_O = 10V \left(\frac{A_1}{2} + \frac{A_2}{4} + \dots + \frac{A_8}{256} \right)$$

DS005687-23

FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Figura 8.18: Uma aplicação típica de DAC0808.

Figura 8.18 mostra uma aplicação típica de conversão de um sinal analógico (multiplexável) entre [0,5V] num sinal digital de 8 bits.



*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

Table 2. Microprocessor Interface Table

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	$\overline{\text{MEMR}}$	$\overline{\text{MEMW}}$	INTR (Thru RST Circuit)
8085	$\overline{\text{RD}}$	$\overline{\text{WR}}$	INTR (Thru RST Circuit)
Z-80	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{INT}}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	$\text{VMA} \cdot \phi 2 \cdot \text{R/W}$	$\text{VMA} \cdot \phi \cdot \overline{\text{R/W}}$	$\overline{\text{IRQA}}$ or $\overline{\text{IRQB}}$ (Thru PIA)

Figura 8.19: Aplicação típica de ADC0808.

8.6 Exercícios

Os exercícios deste capítulo são selecionados/adaptados dos exercícios do Capítulo 11 da referência [1].

1. Avalie a veracidade das seguintes afirmações
 - a. Um sinal digital é uma tensão que varia continuamente.
 - b. Um sinal digital é uma sequência de números que representa um sinal analógico.
 - c. Um DAC de 10 bits com uma saída de fundo de escala de 10 V tem uma resolução percentual menor do que um DAC de 10 bits com 12 V de fundo de escala.
 - d. Um DAC de 12 *bits* terá uma resolução pior do que um DAC de 16 *bits* para a mesma saída do fundo de escala.
 - e. A transição de um valor analógico para o próximo num conversor DAC não ocorre de forma instantânea, o que pode gerar transientes (*glitches* ou *spikes*) as transições entre os degraus. [17]
2. Um microprocessador possui uma porta de saída de 8 *bits* que deve ser usada para acionar um DAC. O DAC disponível tem 10 *bits* de entrada e uma saída de fundo de escala de 10V. A aplicação requer uma tensão entre 0 e 10 V em degraus de 50mV ou menores. Quais os oito *bits* do DAC de dez *bits* serão conectados à porta de saída do microprocessador?
3. Um determinado DAC de 6 *bits* tem uma saída de fundo de escala de 1,260V. Sua precisão é especificada como mais ou menos de 0.1%FS, e ele tem um erro de offset de mais ou menos 1mV. Suponha que o erro de offset não tenha sido anulado. Considere as seguintes medidas feitas nesse DAC e determine quais delas não estão dentro das especificações do dispositivo. (Sugestão: O erro de *offset* é somado ao erro causado pelas imprecisões dos componentes.)

Código de entrada	Saída
000010	41,5mV
000111	140,2mV
001100	242,5mV
111111	1,258V

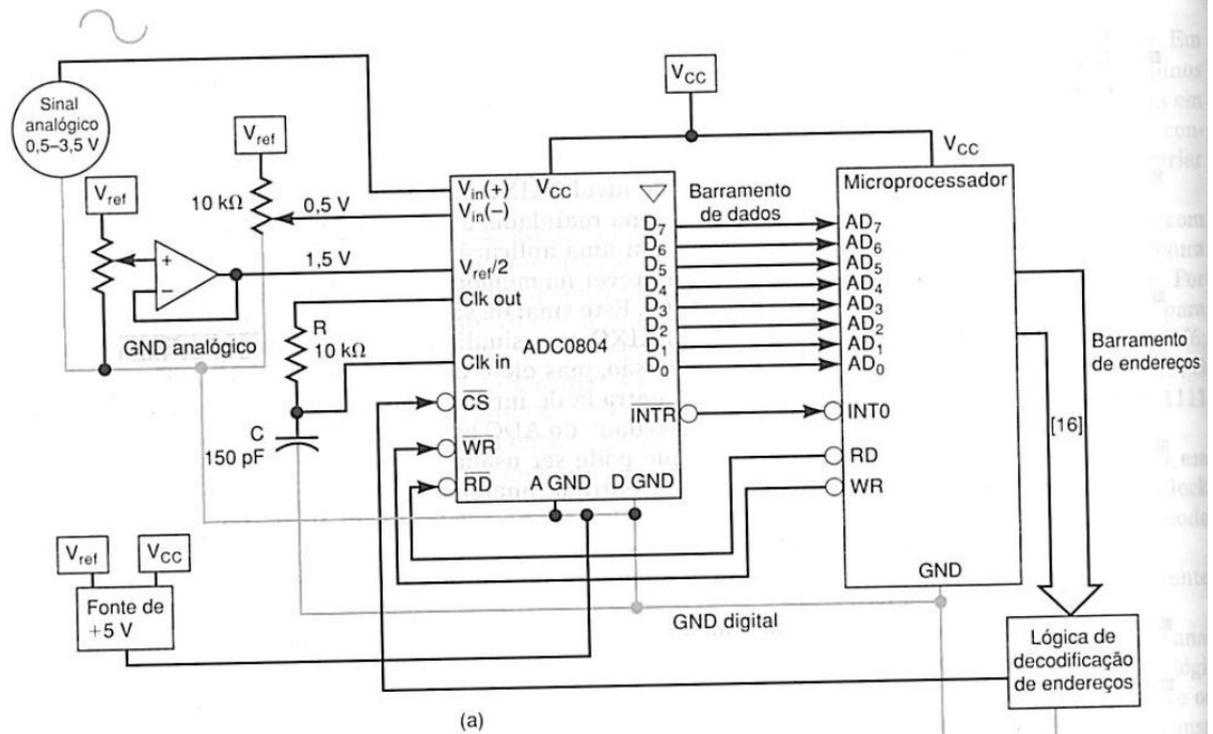
4. Um certo DAC tem as seguintes especificações: resolução de 8 *bits*, fundo de escala = 2,55V, *offset* \leq 2mV, precisão = mais ou menos 0,1%FS. Um teste

estatístico no DAC produz os resultados mostrados na tabela abaixo. Qual é a provável causa do mau funcionamento?

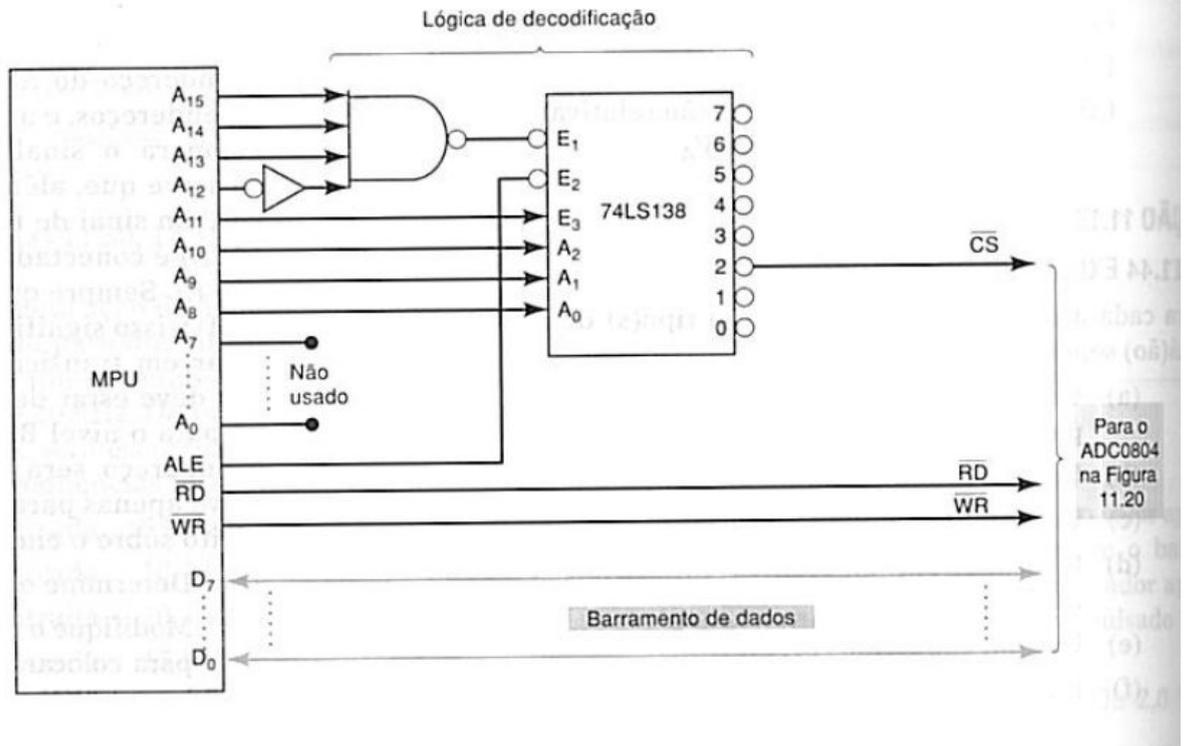
Código de entrada	Saída
00000000	20,5mV
00000001	30,5mV
00000010	20,5mV
00000100	60,6mV
00001111	150,6mV
10000000	1,30V

5. Indique se cada uma das seguintes afirmações se refere ao ADC rampa digital, de aproximações sucessivas ou a ambos.
 - a. Produz um sinal tipo escada na saída do seu ADC.
 - b. Tem um tempo de conversão constante independente da tensão de entrada.
 - c. Tem um tempo médio de conversão menor.
 - d. Use um comparador analógico.
 - e. Usa um DAC.
 - f. Usa um contador.
 - g. Tem uma lógica de controle complexa.
6. Um ADC de rampa digital de 8 *bits* com uma resolução de 40mV usa uma frequência de clock de 2,5MHz e um comparador com uma tensão de tolerância (igual ou maior em relação à tensão de entrada) $V_T=1\text{mV}$. Determine os seguintes valores:
 - a. A saída digital para a tensão de entrada 6,0V.
 - b. A saída digital para a tensão de entrada 6,035V.
 - c. A saída digital para a tensão de entrada 10,853V.
 - d. Os tempos máximo e médio de conversão para esse ADC.
7. Um ADC de rampa digital tem as seguintes características: resolução=12 bits, erro de fundo de escala=0.03%FS, saída de fundo de escala do DAC=+5V.
 - a. Qual é o erro de quantização em volts?
 - b. Qual é o erro total possível em volts?
8. Um certo conversor ADC de aproximações sucessivas de 4 *bits* tem 12V de fundo de escala. Esboce as tensões dos estágios intermediários na conversão de uma tensão de entrada igual a 10,4V.
9. Um certo conversor ADC de aproximações sucessivas de 8 *bits* tem 2,55V de fundo de escala. O tempo de conversão para a tensão de entrada 1V é 80us. Qual é o tempo de conversão para a tensão de entrada igual a 1,5V?

10. A figura abaixo mostra como o ADC0804 [18] é interfaceado com um microcomputador. Ela mostra três sinais de controle, /CS, /RD e /WR, que são gerados pelo microcomputador para o ADC. Esses sinais são usados para iniciar cada nova conversão A/D e ler (transferir) o dado de saída de ADC para o microcomputador pelo barramento de dados.



A figura abaixo mostra como seria implementada a lógica de decodificação de endereço. O sinal /CS que evita o ADC0804 é gerado pelas linhas de endereços do processador. Sempre que o processador desejar se comunicar com o ADC0804 para requisitar uma amostra do sinal $V_{in}(+)$, ele colocará o endereço do ADC0804 no barramento de endereços, e a lógica de decodificação acionará o sinal /CS em nível baixo (0). Observe que, além das linhas de endereços, um sinal de temporização e controle (ALE) é conectado à entrada de habilitação /E2. Sempre que ALE estiver em nível alto (1), isso significa que o endereço pode estar em transição; assim, o decodificador deve estar desabilitado até que ALE vá para o nível baixo (0), instante em que o endereço será válido e estável. Isso serve apenas para temporização; não tem efeito sobre o endereço do ADC.



- Determine o endereço do ADC0804 no diagrama acima.
 - Modifique o diagrama acima para colocar o ADC0804 no endereço 0xE8XX.
 - Modifique o diagrama acima para colocar o ADC0804 no endereço 0xFFXX.
 - Quando os dados no barramento de dados são dados válidos da conversão solicitada de uma amostra de $V_{in}(+)$? Estime o tempo a partir do instante em que ALE fique ativo.
 - Qual é a função do sinal de controle \overline{INTR} ? É um sinal de ADC0804 para processador ou do processador para ADC0804?
 - Se não estiver conectado \overline{INTR} com INT0, o que se deve fazer para garantir que o processador consiga ler corretamente os dados digitais solicitados?
 - Onde estão conectados os pinos AGND e DGND do ADC0804?
11. Projete um circuito de interface entre um termostato digital, usando um sensor de temperatura analógico LM34 [20] e o módulo ADC0804 [18], e um processador da família 68000 [19], de forma que o sistema meça com precisão (mais ou menos 0.2°F) de 50 a 101° F e que o sensor de temperatura seja endereçável pelo endereço 0x6EFxxx pelo microprocessador.

8.7 Referências

[1] Ronald J. Tocci et al. Sistemas Digitais: Princípios e aplicações. 10ª edição. Pearson. Prentice Hall.

- [2] Elnatan Chagas Ferreira. EE610: Aulas 18, 19 e 20.
<http://www.demic.fee.unicamp.br/~elnatan/ee610/>
- [3] <https://nptel.ac.in/courses/112103174/module2/lec8/1.html>
- [4] Joy-It. SensorKit X40.
http://www.produktinfo.conrad.com/datenblaetter/1600000-1699999/001695708-an-01-en-HERZSCHLAG_SENSOR.pdf
- [5] Wikipedia. Nyquist-Shannon sampling theorem.
https://en.wikipedia.org/wiki/Nyquist%E2%80%93Shannon_sampling_theorem
- [6] Uma introdução ao solo: terra, terra comum, terra analógica e terra digital.
<https://pt.electronics-council.com/an-introduction-ground-13946>
- [7] Sanjay Pithadia e Shridhar More. Grounding in mixed-signal systems demystified, Part 1.
<http://www.ti.com/lit/an/slyt499/slyt499.pdf>
- [8] Hank Zumbahlen. Staying Well Grounded.
<https://www.analog.com/en/analog-dialogue/articles/staying-well-grounded.html>
- [9] <https://docs.scipy.org/doc/scipy/reference/tutorial/interpolate.html>
- [10] National Semiconductor. DAC 0808 Datsheet.
<http://www.ti.com/lit/ds/symlink/dac0808.pdf>
- [11] Analog Devices. AD7524.
<https://www.analog.com/media/en/technical-documentation/data-sheets/AD7524.pdf>
- [12] Maithil Pachchigar. Demystifying High-Performance Multiplexed Data-Acquisition Systems.
<https://www.analog.com/en/analog-dialogue/articles/demystifying-data-acquisition-systems.html>
- [13] Texas Instruments. ADC0804. <http://www.ti.com/lit/ds/symlink/adc0804-n.pdf>
- [14] Texas Instruments. ADS8866. <http://www.ti.com/lit/ds/symlink/ads8866.pdf>
- [15] Rohde & Schwarz. Selecting a Signal Generator for Testing AD Converters Application Note.
https://cdn.rohde-schwarz.com/pws/dl_downloads/dl_application/application_notes/1gp66/1GP66_1E.pdf
- [16] <https://www.youtube.com/watch?v=BegaATMn5nE>
- [17] Alexander Scheeline. DAC Speed and Glitches.
https://www.asdlib.org/onlineArticles/elabware/Scheeline_ADC/ADC_DAC_SpeedGlitch.html
- [18] Texas Instruments. Datasheet ADC080x.
<http://www.ti.com/lit/ds/symlink/adc0804-n.pdf>
- [19] Motorola. Datasheet MC68000.
<http://datasheets.chipdb.org/Motorola/68000/mc68000.pdf>
- [20] Texas Instruments. Datasheet LM34. <http://www.ti.com/lit/ds/symlink/lm34.pdf>