

Tópico 2

Eletrônica Digital Básica

Autores: José Raimundo de Oliveira e Wu Shin-Ting

DCA - FEEC - Unicamp

Agosto de 2019

Sumário

2	Introdução	4
2.1	Transistores	4
2.1.1	BJT (<i>Bipolar Junction Transistor</i>)	4
2.1.2	MOSFET (<i>Metal Oxide Semiconductor Field Effect Transistor</i>)	5
2.1.3	Comparação entre transistores BJT e MOSFET	6
2.2	Circuitos lógicos a nível de transistores	6
2.2.1	Circuitos Lógicos com Transistores Bipolares (BJT)	6
2.2.1.1	TTL – Transistor-Transistor-Logic	7
2.2.2	Circuitos Lógicos com Transistores MOS	9
2.2.2.1	CMOS – Complementary metal–oxide–semiconductor	10
2.2.2.1.1	Outras funções lógicas com CMOS	10
2.2.2.1.2	Família CMOS de chips lógicos	11
2.3	Tipos de Saída	11
2.3.1	Saída Totem pole ou Push-pull	11
2.3.1.1	Totem pole na família TTL	12
2.3.2	<i>Open-collector / Open-Drain</i>	12
2.3.2.1	Simbologia de gates com saída aberta	13
2.3.2.2	Exemplo de gates com saída aberta	13
2.3.2.3	Aplicações de saída aberta.	14
2.3.2.3.1	Wired logic	14
2.3.2.3.2	Conversor de níveis de voltagem	15
2.3.3	<i>Tree-state ou tri-state</i>	15
2.3.3.1	Detalhe de chips com saída tri-state	16
2.3.3.2	Simbologia de dispositivos com saída tri-state	16
2.3.3.3	Exemplos de chips com saída tri-state	16
2.3.3.4	Aplicação de chips com saída Tri-state	17
2.3.3.4.1	Barramento com diversas fontes de dados.	17

2.3.3.4.2	Bidirecional	18
2.3.3.4.3	Exemplo de <i>chip</i> com portas bidirecionais.	18
2.3.4	Resumo simplificado das três formas de saída	19
2.4	Outros circuitos importantes com transistores.	20
2.4.1	Transistor sensível a luz (<i>phototransistor</i>)	20
2.4.1.1	Chaves foto-acopladas	20
2.4.2	Circuito foto-interruptor	20
2.5	Exercícios	21
2.6	Referências Bibliográficas	22

Listagem de figuras

Figura 2.1 - Estrutura dos transistores de junção bipolar	4
Figura 2.2 - Símbolos de transistores bipolares C=Coletor, B=Base e E=Emissor	5
Figura 2.3 - Símbolos de Transistor PMOS e NMOS	5
Figura 2.4 - Estrutura de MOSFET canal P	6
Figura 2.5 - Transistor NPN e sua Função de Transferência	7
Figura 2.6 - Transistor Bipolar como um Inversor	7
Figura 2.7 Circuito simplificado de um NAND - WIKI (2019).	8
Figura 2.8 - Transistor NMOS como inversor	9
Figura 2.9 - Transistor CMOS como inversor (WIKIa,2019)	10
Figura 2.10 - Funções lógicas com CMOS: a) NAND das entradas Input _A e Input _B ; b) NOR das entradas Input _A e Input _B (Allaboutcircuits, 2019)	11
Figura 2.11 - Duas saídas Totem-pole (CMOS) em condição de curto-circuito.	12
Figura 2.12 - Detalhe da saída em totem-pole da família TTL	12
Figura 2.13 Saídas em aberto: a - Open-collector (TTL), b - Open-drain (CMOS)	13
Figura 2.14 - Símbolos de gates com Open Collector/drain (a) Inversor (b) NAND	13
Figura 2.15 - (a) Circuito do chip 7416 e a pinagem do encapsulamento DIP (b) Circuito do chip 74LVC1G07 e sua pinagem no encapsulamento SOT753	14
Figura 2.16 - Wired Logic a) Wired AND; b) Wired NOR	15
Figura 2.17 - Conversor de níveis usando um dispositivo Open-drain (TI,2004)	15
Figura 2.18 - Gate TTL simplificado com saída tri-state	16
Figura 2.19 - Detalhe da implementação de gates com saída tri-state a) TTL b) CMOS	16
Figura 2.20 - Exemplos de símbolos de gates com saída tri-state	16
Figura 2.21 - Exemplos de chips com saída tri-state. (a) 74LS125, pinagem, tabela funcional e encapsulamento DIP (b) 74LS244, pinagem, tabela funcional e encapsulamento DIP	17
Figura 2.22 - Barramento com N fontes de dados	18
Figura 2.23 - Elemento bidirecional	18
Figura 2.24 - Exemplo de chip bidirecional - 74LS245	19
Figura 2.25 - Simplificação do funcionamento dos três tipos de saída A:Totem-pole, B:Open Collector/Drain, C:Tri-state	19
Figura 2.26 - Foto-acoplador e exemplo de chip	20
Figura 2.27 - Exemplo de foto-interruptor	21

Listagem de Tabelas

Tabela 2.1 Resumo comparativo entre BJT e MOSFET	6
Tabela 2.2 - Tecnologias de chips TTL	8
Tabela 2.3 Exemplos de chips da família 74	9
Tabela 2.4- Exemplos de chips CMOS com funções lógicas	11
Tabela 2.5 Outros exemplos de chips TTL com saída Open-collector	14

2 Introdução

Este capítulo faz uma introdução à eletrônica digital suficiente para o entendimento da tecnologia dos elementos básicos de um circuito de computação. Os conceitos mais detalhados podem ser encontrados nas disciplinas de eletrônica aplicada da Faculdade.

Os circuitos eletrônicos podem ser divididos em circuitos analógicos e circuitos digitais. Os sinais elétricos nos circuitos analógicos variam de forma contínua. Já nos circuitos digitais os sinais assumem somente dois valores, que representam os níveis lógicos binários, verdadeiro ou falso, (1 ou 0).

2.1 Transistores

O dispositivo ativo elementar dos circuitos eletrônicos é o transistor. Duas tecnologias de transistores são importantes para a eletrônica digital, a tecnologia dos transistores bipolares, chamada BJT (*Bipolar Junction Transistor*) e a tecnologia dos transistores de efeito de campo chamada MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*).

2.1.1 BJT (*Bipolar Junction Transistor*)

O BJT - transistor de junção bipolar, ou simplesmente, transistor bipolar é formado por três camadas de semicondutor dopado (**Coletor, Base e Emissor**). As camadas Coletor e Emissor recebem o mesmo tipo de dopagem e são separadas pela camada Base, que é dopada de forma complementar às outras duas. Por exemplo, se as camadas Coletor e Emissor são dopadas em P, a camada Base é dopada em N¹. Neste exemplo, tem-se duas junções, uma P-N entre o Coletor e a Base e outra N-P entre a Base e o Emissor. O transistor deste exemplo é chamado **transistor PNP**. Outro exemplo é o **transistor NPN**, que tem o Coletor e Emissor com dopagem N e a base com dopagem P. A Figura 2.1 mostra os diagramas da estrutura física destes dois tipos de transistores bipolares. A Figura 2.2 ilustra os símbolos usados em diagramas esquemáticos destes dois tipos de transistores bipolares.

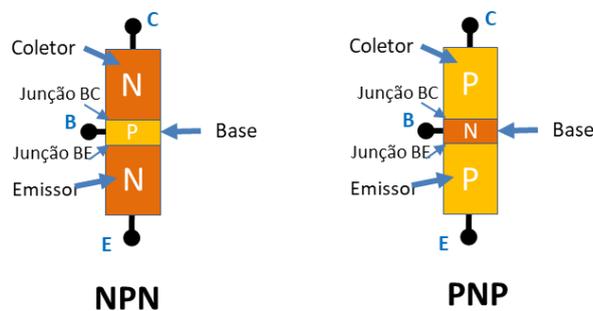


Figura 2.1 - Estrutura dos transistores de junção bipolar

¹ Detalhe da tecnologia de materiais eletrônicos: A camada P é silício dopado com um elemento que tenha 3 elétrons na última camada, geralmente boro. Enquanto N é silício dopado com um elemento que tem cinco elétrons na última camada, geralmente fósforo. Strosky (2017).

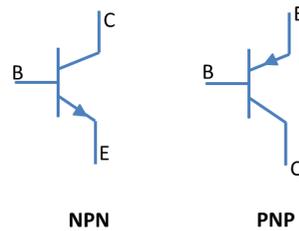


Figura 2.2 - Símbolos de transistores bipolares
C=Coletor, B=Base e E=Emissor

2.1.2 MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*)

Os Transistores de efeito de campo em Metal, Óxido e Semicondutor – ou simplesmente MOSFET (do inglês, *Metal, Oxide, Semiconductor Field Effect Transistor*) são dispositivos que usam o campo elétrico para criar um canal de condução. Os transistores MOSFET são importantes pois, hoje em dia, quase todos os circuitos integrados (IC) são construídos com esta tecnologia. Existem dois tipos de transistores MOSFET:

- NMOS ou MOSFET com canal de N
- PMOS ou MOSFET com canal P

A Figura 2.3 mostra os diferentes símbolos dos transistores MOS usados em diagramas esquemáticos.

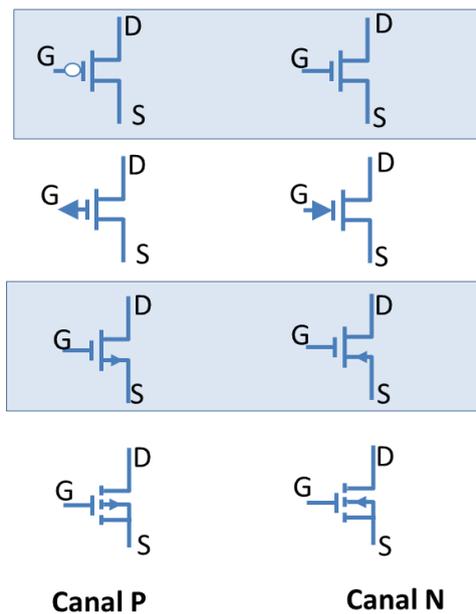


Figura 2.3 - Símbolos de Transistor PMOS e NMOS

A Figura 2.4A mostra o diagrama da estrutura física do transistor MOSFET do canal P com seus quatro terminais: *Gate*, *Drain*, *Source* e *Substrate*. Normalmente, o *Source* e o *Substrate* são conectados internamente nos dispositivos. O *Gate* está separado do *Substrate* por um dielétrico (SiO_2), criando uma estrutura similar àquela das placas de um capacitor.

Se uma voltagem negativa for aplicada ao *Gate*, como mostrado na Figura 2.4B, cargas positivas são induzidas (efeito conhecido como *inversion layer*) na superfície do *Substrate* e elas criam um caminho de condução entre os terminais do *Drain* e do *Source*. (ElectronicArea 2019)

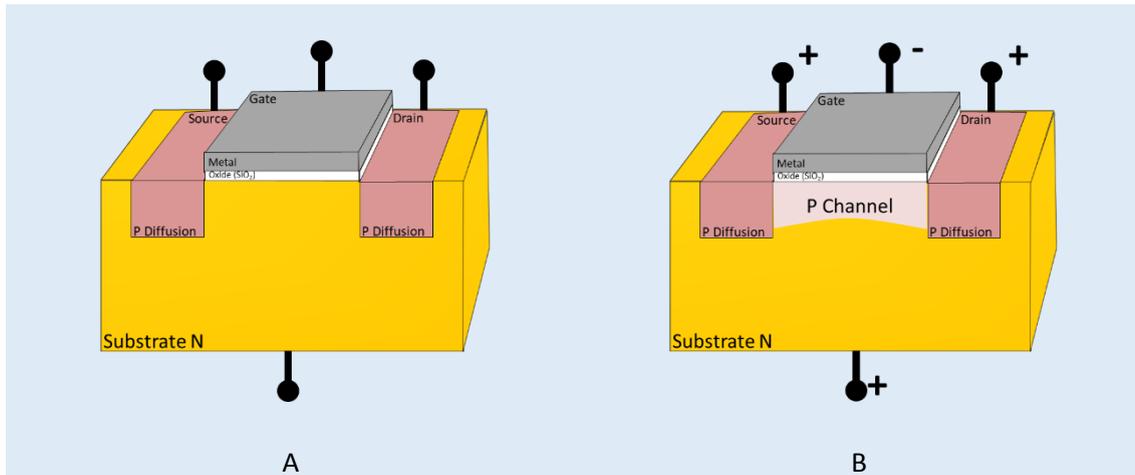


Figura 2.4 - Estrutura de MOSFET canal P

2.1.3 Comparação entre transistores BJT e MOSFET

Tabela 2.1 Resumo comparativo entre BJT e MOSFET

	BJT	MOSFET
Tipos	PNP ou NPN	Canal N (NMOS) ou Canal P (PMOS)
Dispositivo	Controlado por corrente	Controlado por voltagem
O controle da saída	Pela corrente de base	Pela voltagem do <i>gate</i>
Tolerância ao calor	Baixa	Alta
Impedância da entrada	Baixa	Alta
Velocidade de operação	Maior	Menor
Preferência de aplicação	Baixa corrente	Alta potência

2.2 Circuitos lógicos a nível de transistores

Trabalhando com transições de sinais discretos, os transistores podem funcionar como chaves binárias, o que permite usá-los na implementação de lógicas booleanas. Considere a seguir como isto pode ser feito nas duas tecnologias BJT e MOSFET.

2.2.1 Circuitos Lógicos com Transistores Bipolares (BJT)

Considere na Figura 2.5A um transistor NPN com um resistor R_C ligado entre uma tensão positiva V_{CC} e o coletor do transistor, o emissor é ligado ao *Ground* e a base é ligada a uma fonte de sinal V_{BE} . A Figura 2.5B mostra a função de transferência desta configuração que relaciona a voltagem de saída v_{CE} com o valor da tensão entre a Base e o Emissor v_{BE} . Qualquer pequena variação no valor da tensão v_{BE} em torno da posição Q irá significar uma grande variação na tensão de saída v_{CE} . No entanto, se a tensão de base V_{BE} ultrapassar o ponto Z, a corrente de coletor I_C irá atingir um valor de **saturação** e a tensão de saída v_{CE} irá assumir um valor próximo de 0 volts. Se o valor de V_{BE} abaixar além do ponto Y, a corrente I_C irá atingir um valor de **corte**, fazendo que a tensão de saída v_{CE} será levada pelo resistor para próximo de V_{CC} .

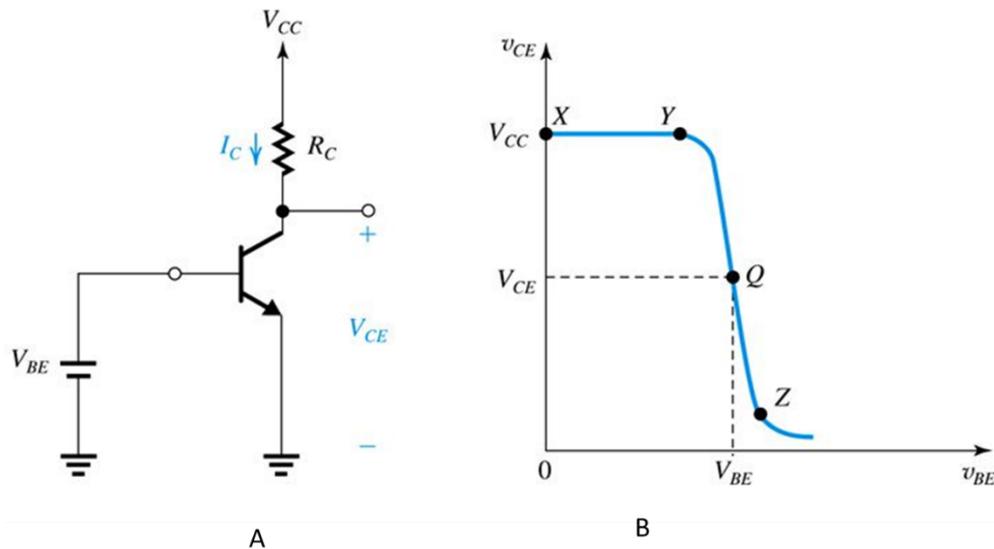


Figura 2.5 - Transistor NPN e sua Função de Transferência

Se for considerado que somente dois valores de tensão possam ser aplicados à base do transistor, zero volts representando o **nível lógico 0** e V_{CC} representando o **nível lógico 1**, então a configuração da Figura 2.5A irá corresponder a um inversor, como mostrado na Figura 2.6.

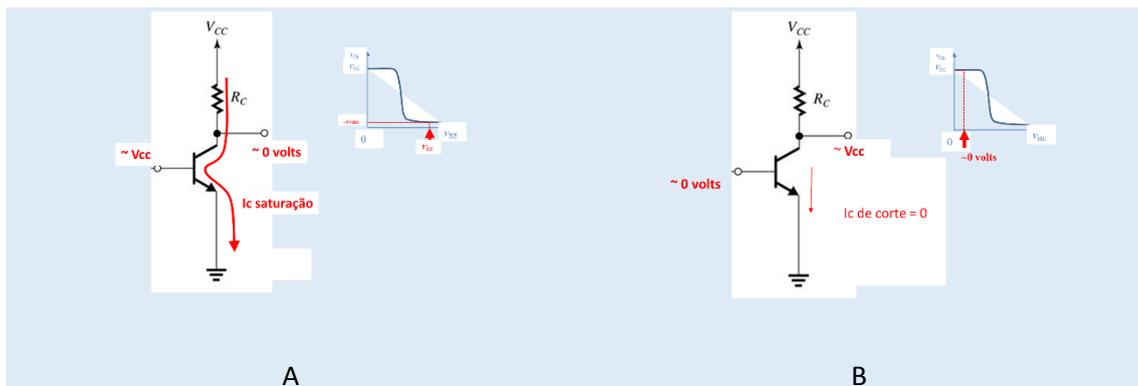


Figura 2.6 - Transistor Bipolar como um Inversor

2.2.1.1 TTL – Transistor-Transistor-Logic

A lógica transistor-transistor (TTL) é uma família lógica construída a partir de BJT. Seu nome significa que os transistores executam tanto a função lógica (o primeiro "transistor" do nome) quanto a função amplificadora (o segundo "transistor" do nome). É a mesma convenção de nomenclatura usada na lógica resistor-transistor (RTL) e na lógica de diodo-transistor (DTL) (WIKI, 2019).

As entradas TTL são os emissores de transistores bipolares. No caso de entradas NAND, as entradas são os emissores de transistores de múltiplos emissores, funcionalmente equivalentes a múltiplos transistores onde as bases e coletores são ligados juntos. A saída é amplificada por um transistor de emissor comum, como no circuito simplificado da Figura 2.7 (WIKI, 2019).

O TTL foi inventado em 1961 por James L. Buie da TRW. Os primeiros dispositivos TTL de circuito integrado comercial foram fabricados pela Sylvania em 1963, chamado de família de lógica de alto nível Universal da Sylvania (SUHL). As partes de Sylvania foram usadas nos controles do míssil Phoenix. A TTL se tornou popular entre os projetistas de sistemas

eletrônicos depois que a Texas Instruments introduziu a série 5400 de CIs, com faixa de temperatura militar, em 1964 e a posterior série 7400, especificada em uma faixa mais restrita de temperatura e empacotados em chips plásticos em 1966 (WIKI, 2019).

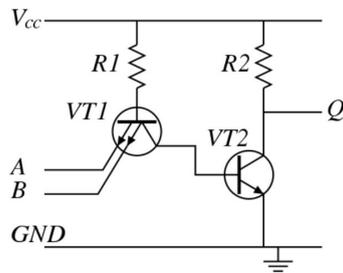


Figura 2.7 Circuito simplificado de um NAND - WIKI (2019).

A família 7400 da Texas Instruments tornou-se um padrão *de facto* da indústria. Diversos fabricantes reproduziram esta família com os mesmos nomes. Podem ser citadas, como exemplo de fabricantes de dispositivos compatíveis, a AMD, a Motorola, a National Semiconductor e a Fairchild.

A família 7400 evoluiu visando, principalmente, melhorar suas características temporais, como velocidade de propagação e tempo de chaveamento e suas características elétricas com destaque ao consumo de energia e correntes. A Tabela 2.2 resume as principais tecnologias de chips TTL. Apesar das diferenças, todas mantiveram a mesma pinagem e tipos de empacotamento.

Tabela 2.2 - Tecnologias de chips TTL

L	TTL de baixa (Low) potência, que trocou a velocidade de comutação (33 ns) por uma redução no consumo de energia (1 mW)
H	TTL de alta (High) velocidade, com comutação mais rápida que TTL padrão (6ns), mas dissipação de energia significativamente maior (22 mW)
S	Schottky TTL (S), introduzido em 1969, diodo Schottky nas entradas da porta para evitar o armazenamento de carga e melhorar o tempo de comutação. Suas portas operaram mais rapidamente (3ns), mas tinham maior dissipação de energia (19 mW)
LS	Schottky TTL de baixa potência - usou os valores de resistência mais altos do TTL de baixa potência e dos diodos Schottky para fornecer uma boa combinação de velocidade (9.5ns) e consumo de energia reduzido (2 mW). Provavelmente o tipo mais comum de TTL.
F e AS	Variações Fast (F) e Advanced-Schottky (AS) de LS de Fairchild e TI, respectivamente, por volta de 1985, com circuitos "Miller-killer" para acelerar a transição de baixa para alta.
LVTTL	TTL de baixa voltagem (LVTTL) para fontes de alimentação de 3.3 volts e interface de memória.

Antes do advento dos dispositivos VLSI, os circuitos integrados TTL eram um método padrão de construção para os processadores de mini-computadores e processadores de mainframe; como o DEC VAX e o Data General Eclipse, e para equipamentos como controles numéricos de máquinas-ferramenta, de impressoras e de terminais de vídeo. À medida que os microprocessadores se tornaram mais funcionais, os dispositivos TTL tornaram-se importantes para aplicações de "Glue Logic", como *drivers* de barramento que unem os blocos de função realizados em elementos VLSI (WIKI, 2019) e circuitos de decodificação de endereço.

A Tabela 2.3 lista uns poucos exemplos de *chips* da família 74 com suas características funcionais. Nesta tabela, o "*" pode ser substituído por "S", "L", "LS", etc. Uma listagem

completa pode ser encontrada em:

https://en.wikipedia.org/wiki/List_of_7400-series_integrated_circuits.

Tabela 2.3 Exemplos de chips da família 74

CHIP	Descrição
74*00	Quatro gates do tipo NAND de duas entradas
74*02	Quatro gates do tipo NOR de duas entradas
74*04	Seis gates do tipo INVERSOR
74*08	Quatro gates do tipo AND com duas entradas
74*10	Três gates do tipo NAND com três entradas
74*32	Quatro gates do tipo OR com duas entradas
74*74	Dois flip-flops do tipo D sensível a borda de subida com pinos de clear e preset assíncronos
74*75	Dois registradores latch de 4 bits com saídas complementarias
74*76	Dois flip-flop J-K com pinos de clear e preset assíncronos
74*86	Quatro gates do tipo XOR de duas entradas
74*13 8	Decodificador/demultiplexador 3 linhas para 8 Linhas com saída invertida
74*15 2	Um multiplexador/seletor de dados de 8-linhas para 1-linha com saída invertida
74*16 4	Um registrador serial de deslocamento de saída paralela de 8-bit com pino de clear assíncrono (conversor série-paralelo)
74*16 6	Um registrador de deslocamento com entrada paralela de 8-bits (conversor paralelo-série)
74*18 1	ALU de 4-bits
74*37 3	Registrador Latch com oito bits

2.2.2 Circuitos Lógicos com Transistores MOS

A construção de dispositivos lógicos com transistores MOS é muito simples. Por exemplo, um transistor NMOS ligado como na Figura 2.8 é um inversor. O transistor NMOS está com o dreno ligado a um resistor de *Pull-up* e este ligado a uma tensão positiva V_{DD} . Se na entrada V_{IN} tiver um valor positivo, o canal N será formado e a saída V_{OUT} será levada a um valor próximo do GND. Se na entrada V_{IN} tiver um valor próximo de GND, o canal N não será formado e a saída V_{OUT} será puxada para uma tensão próxima de V_{DD} pelo resistor de *Pull-up*.

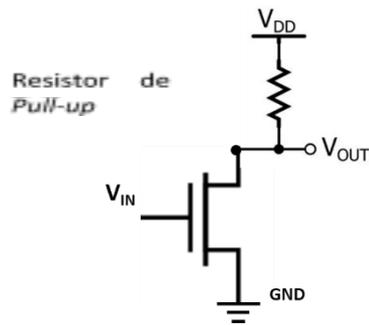


Figura 2.8 - Transistor NMOS como inversor

2.2.2.1 CMOS – Complementary metal–oxide–semiconductor

A configuração mais utilizada para implementar circuitos lógicos é aquela que utiliza dois transistores MOS, um canal P e outro canal N (complementares). A Figura 2.9 mostra a implementação de um circuito inversor. Nesta figura, o transistor TP é um transistor PMOS e o transistor TN é um transistor NMOS. O transistor TP tem seu terminal Source ligado a uma tensão positiva Vdd. O transistor TN tem seu terminal Source ligado ao Vss, normalmente em circuitos que utilizam dispositivos CMOS, o nível de tensão Vss é o Ground. Os dois transistores têm os seus terminais Dreno ligados junto fazendo a saída do circuito, sinal Vout. Os terminais Gate dos dois transistores são interligados formando a entrada do circuito, sinal Vin. Quando o **signal Vin tiver um nível de tensão positivo**, próximo ao Vdd, o transistor TN forma um canal N, o que faz com que a saída Vout se aproxime do sinal Vss (GND). Nesta mesma condição do Sinal Vin o transistor TP não forma o canal P isolando o sinal Vout do nível Vdd. Quando o **signal Vin tiver um nível de tensão próximo ao Vss**, o transistor TN não forma o canal N, o que faz com que a saída Vout fique isolada do sinal Vss (GND). Nesta mesma condição do Sinal Vin, o transistor TP forma o canal P aproximando o sinal Vout do nível Vdd. Resumindo, quando Vin for Vss (nível lógico 0), a saída Vout será Vdd (nível lógico 1) e quando Vin for Vdd (nível lógico 1) a saída Vout será igual a Vss (nível lógico 0), ou seja é um inversor.

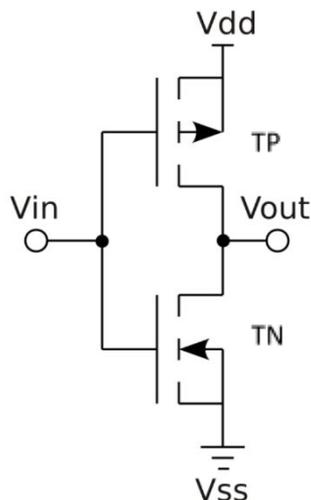


Figura 2.9 - Transistor CMOS como inversor (WIKIa,2019)

Duas características importantes dos dispositivos CMOS são a alta imunidade ao ruído e baixo consumo de energia estática. Como um transistor do par está sempre desligado, a combinação de séries consome energia significativa apenas momentaneamente durante a alternância entre os estados ligado e desligado.

O CMOS também permite uma alta densidade de funções lógicas em um chip. Foi principalmente por essa razão que o CMOS se tornou a tecnologia mais usada para ser implementada em chips VLSI (*Very Large Scale Integration*).

2.2.2.1.1 Outras funções lógicas com CMOS

Além do *gate* inversor, outras configurações definem outras funções lógicas, como por exemplo na Figura 2.10 são mostradas as implementações das funções NAND e NOR. Outras funções lógicas podem ser, facilmente, derivadas destas implementações pela lei de DeMorgan.

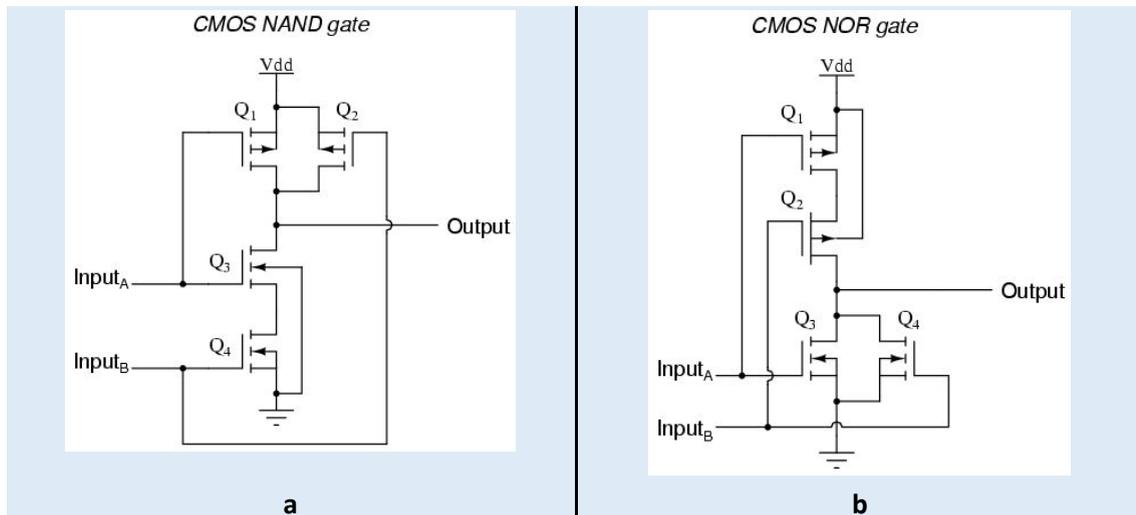


Figura 2.10 - Funções lógicas com CMOS: **a)** NAND das entradas $Input_A$ e $Input_B$; **b)** NOR das entradas $Input_A$ e $Input_B$ (Allaboutcircuits, 2019)

2.2.2.1.2 Família CMOS de chips lógicos

A família 4000 implementa diversas funções lógicas. Esta família foi fornecida por diversos fabricantes. A Tabela 2.1 lista uns poucos exemplos de chips desta família.

Tabela 2.4- Exemplos de chips CMOS com funções lógicas

Chip	Descrição
4000	Dois gates NOR de 3 entradas
4001	Quatro gates NOR de 2 entradas
4008	Um binary full adder de 4 bits
4049	Seis gates inversores

A força de mercado dos chips da família TTL 74xx levou a fabricação de componentes compatíveis funcionalmente e em pinagem com os componentes TTL mas utilizando a tecnologia CMOS. Estes *chips* compatíveis são caracterizados pelas iniciais 74C, 74AC e 74HC. Assim por exemplo, o *chip* 74HC00 é compatível funcionalmente com o *chip* 74LS00 (*quad NAND gate with 2-inputs*) e observa a mesma pinagem.

2.3 Tipos de Saída

É importante conhecer o tipo de saída de um determinado *gate* de *chip*, pois isto irá definir principalmente o tipo de sua aplicação em circuito. Podendo ser um simples elemento de um circuito lógico com dispositivos da mesma tecnologia. Pode ser um acionador de linha (*driver* ou *buffer*) ou um circuito de interface bidirecional. E, por último, pode ser uma interface entre tecnologias de circuitos diferentes, com voltagens diferentes.

A seguir são apresentadas três formas de saída dos *gates* lógicos, nos dispositivos com tecnologia BJT ou MOS. São apresentadas as diferenças entre elas, suas aplicações e limitações. As três formas são – saída em *Totem Pole*, também chamada *Push-Pull*; saída

Open-collector na tecnologia BJT ou *Open-Drain* na tecnologia MOS e por último, saída em *tri-state*.

2.3.1 Saída Totem pole ou Push-pull

O tipo de saída de *gates* lógicos chamado *Totem pole* ou *Push-pull* são caracterizadas por possuírem dois transistores, que operam de forma complementar, sempre um dos transistores está ligado enquanto o outro está desligado. Estes transistores podem ser BJT ou MOS. Tipicamente *gates* com este tipo de saída são usados em circuitos com componentes de tecnologia compatível.

Os *gates* CMOS, seja da família 4000 ou da família 74*C, tem a saída naturalmente em *Totem pole*. O próprio nome diz que são dois transistores complementares.

Em algumas aplicações de circuitos lógicos é necessário interligar duas saídas de *gates* num mesmo ponto, por exemplo, num barramento com várias fontes de sinal. As saídas em *Totem-pole* não permitem esta ligação, pois sempre um dos seus transistores está conduzindo e se duas saídas interligadas estiverem em estados lógicos diferentes ocorrerá um curto circuito. A Figura 2.11 ilustra esta condição, a ligação de duas saídas de dois inversores CMOS num mesmo ponto. Um dos *gates* tenta levar o ponto comum para V_{DD} e o outro *gate* tenta levar o mesmo ponto para GND.

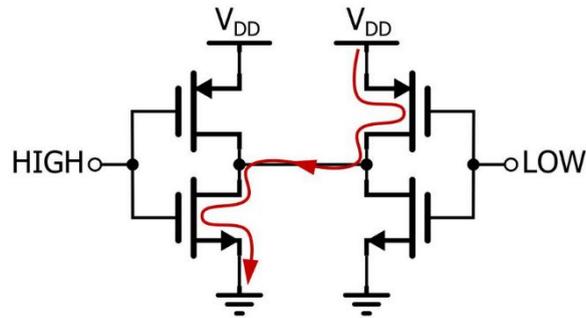


Figura 2.11 - Duas saídas Totem-pole (CMOS) em condição de curto-circuito.

2.3.1.1 Totem pole na família TTL

Considere a Figura 2.12, onde o circuito de um *gate* TTL é simplificado para destacar o seu circuito de saída. A lógica de transistores, que realiza a função lógica do *gate* (AND, OR, etc), está escondida pela área pontilhada. O resultado desta função é resumido pelo sinal X. No circuito de saída *Totem-pole*, os transistores T_H e T_L funcionam de forma complementar. Quando um corta, o outro satura e vice-versa. Quando T_H satura, a saída Y tem o nível próximo a V_{cc} . Quando T_L satura, a saída Y tem o nível próximo a 0 volts. A condição para o transistor T_H saturar é que o sinal X seja 0, neste valor de X o transistor T_L fica cortado.

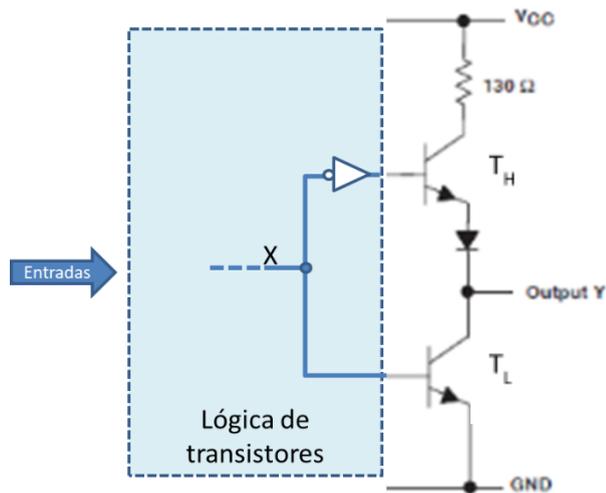


Figura 2.12 - Detalhe da saída em totem-pole da família TTL

2.3.2 Open-collector / Open-Drain

Gates com saída aberta, coletor aberto (*open-collector*) em BJT ou dreno aberto (*open-drain*) em MOS, são muito usados principalmente em circuitos de interfaceamento. A Figura 2.13a ilustra o detalhe da saída de um *gate* TTL em coletor aberto e a Figura 2.13b mostra o detalhe de um *gate* CMOS com saída dreno aberto.

No caso da saída TTL com coletor aberto (Figura 2.13a) ela pode ser entendida como a saída *totem-pole* sem o transistor ligado ao Vcc. Para atingir o nível lógico 0, este tipo de saída funciona como antes, ou seja, o transistor ligado ao GND fica saturado. Para atingir o nível lógico 1, este tipo de saída irá depender de circuito externo ao *gate*, pois o seu único transistor estará cortado e a saída fica em alto-impedância.

No caso da saída CMOS com dreno aberto (Figura 2.13b) ela tem somente o transistor NMOS ligado ao terra. Para atingir o nível lógico 0, este tipo de saída funciona como antes, ou seja, o transistor ligado ao Vss (GND) tem o canal N formado, diminuindo a impedância da saída. Como no caso TTL, para atingir o nível lógico 1, este tipo de saída irá depender de circuito externo ao *gate*, pois o seu único transistor não terá o canal N formado e a saída fica em alto-impedância.

Tanto na saída coletor aberto (TTL) quanto dreno aberto (CMOS), o circuito externo que irá tratar o nível lógico 1 é um resistor de *Pull-up* que puxa o ponto ligado à saída para a tensão positiva.

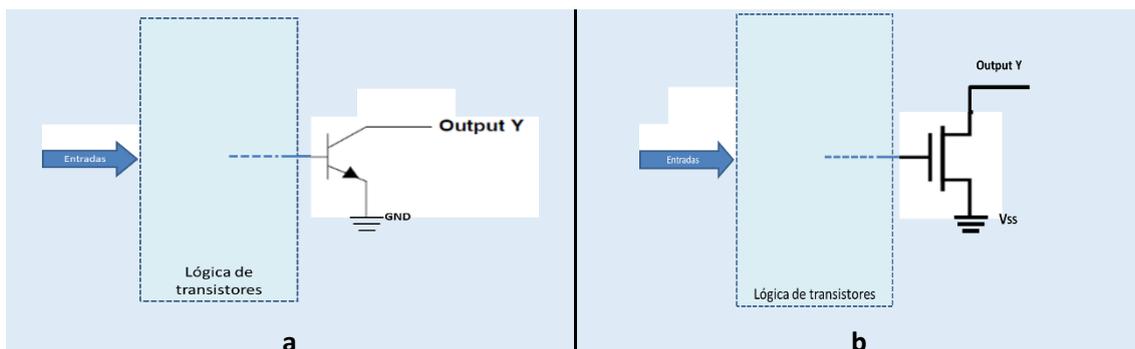


Figura 2.13 Saídas em aberto: **a** - Open-collector (TTL), **b** - Open-drain (CMOS)

2.3.2.1 Simbologia de gates com saída aberta

Em desenho de esquemáticos os *gates* com saída aberta podem ser identificados por um losango sublinhado. Assim a Figura 2.14a mostra o exemplo do símbolo de um inversor, identificado como tendo saída *Open collector/drain*. A Figura 2.14b mostra o exemplo do símbolo de um *gate* NAND, identificado como tendo saída *Open collector/drain*.



Figura 2.14 - Símbolos de gates com Open Collector/drain (a) Inversor (b) NAND

2.3.2.2 Exemplo de gates com saída aberta

Como exemplo de circuito integrado TTL com saída *open-collector* pode-se citar o 7416, cujo circuito é detalhado na Figura 2.15a junto com a pinagem deste *chip* na configuração DIP. A Figura 2.15b mostra o detalhe de implementação do *chip* 74LVC1G07, um *gate* não inversor de tecnologia CMOS e com saída *Open-drain*, bem como a pinagem num de seus encapsulamentos.

Outros exemplos, podem ser listados na Tabela 2.5. Esta não é uma listagem completa e só apresenta os *chips* na tecnologia TTL da família 74LS. Dispositivos CMOS compatíveis de mesma numeração e pinagem podem ser encontrados na família 74HC.

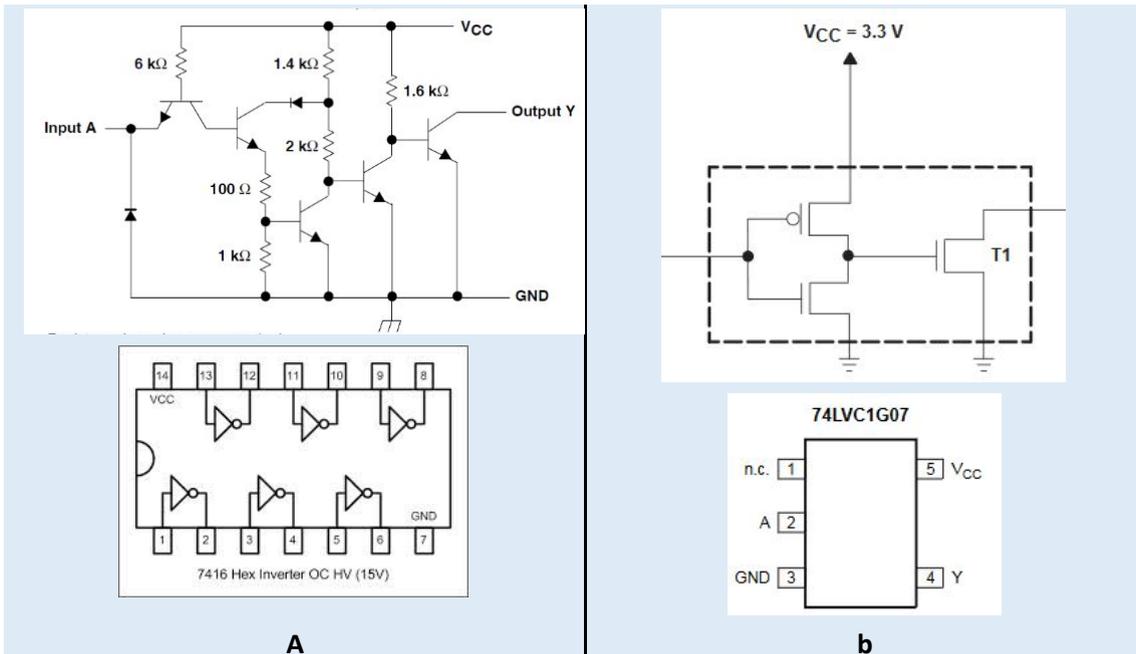


Figura 2.15 - (a) Circuito do *chip* 7416 e a pinagem do encapsulamento DIP (b) Circuito do *chip* 74LVC1G07 e sua pinagem no encapsulamento SOT753

Tabela 2.5 Outros exemplos de *chips* TTL com saída *Open-collector*

Chip	Descrição
------	-----------

74LS01	quatro <i>gates</i> NAND de duas entradas
74LS09	quatro <i>gates</i> AND de duas entradas
74LS12	três <i>gates</i> NAND de três entradas
74LS33	quatro <i>gates</i> NOR de duas entradas
74LS35	Seis <i>gates</i> não inversores
74LS136	quatro <i>gates</i> XOR de duas entradas

2.3.2.3 Aplicações de saída aberta.

A seguir são descritas duas principais aplicações de *gates* com saída aberta. São elas:

- A implementação das chamadas lógicas de fio, ou **Wired-logic**;
- **Conversores de níveis lógicos**

A seguir estas duas aplicações são detalhadas.

2.3.2.3.1 Wired logic

Considere *gates* não inversores com saídas abertas (*open collector/drain*) ligadas a um único ponto e este ponto está ligado a um resistor de *Pull-up*. A saída E realiza a função lógica AND das entradas A e B, como na Figura 2.16a. Na Figura 2.16b a ligação de *gates* inversores com saídas abertas implementa a função NOR.

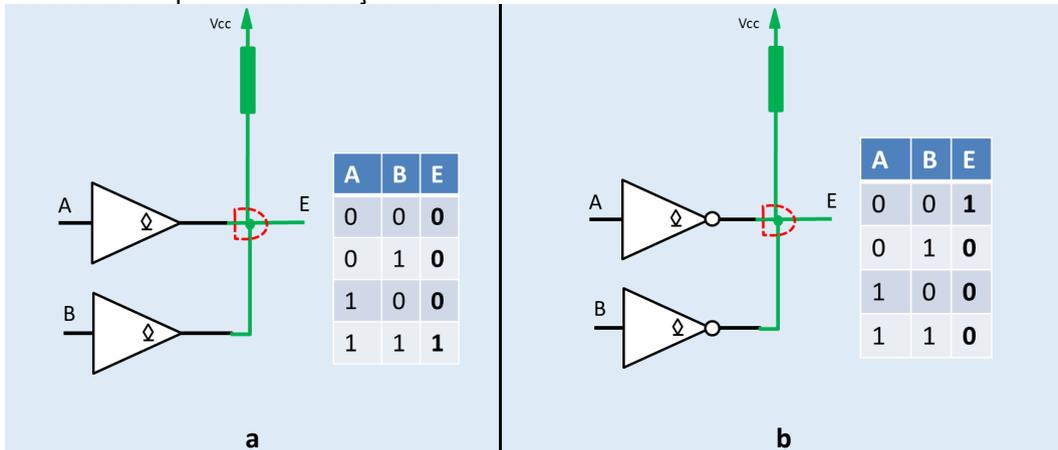


Figura 2.16 - Wired Logic a) Wired AND; b) Wired NOR

2.3.2.3.2 Conversor de níveis de voltagem

Como o transistor de saída está com o seu coletor/dreno em aberto, ele pode ser polarizado por uma voltagem diferente da alimentação do *chip*. Por exemplo, na Figura 2.17 o *chip* SN74LVC1G07 é usado para converter sinal de uma lógica que varia entre 0 e 3.3volts para uma lógica que varia entre 0 e 5volts.

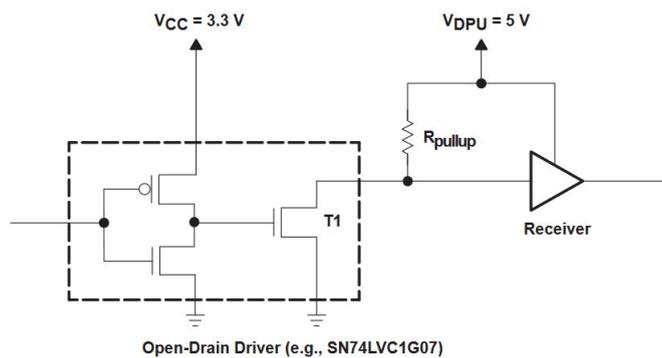


Figura 2.17 - Conversor de níveis usando um dispositivo Open-drain (TI,2004)

2.3.3 Tree-state ou tri-state

A saída *tri-state* de *gate* funciona como a saída *totem-pole* com a diferença que é possível inibir simultaneamente os dois transistores da saída através de um sinal adicional de controle.

Considere a Figura 2.18 onde tem-se um *gate* TTL simplificado, destacando a sua saída em par (como na saída *totem-pole*). Neste *gate*, a saída da lógica de transistores tem dois *gates* AND que permitem ou não a passagem do sinal de acionamento dos transistores da saída (na figura, sinal **X**). A condição para a passagem do sinal **X** é que o sinal **E** seja igual a 1. Se este sinal for igual a 1, os transistores de saída irão saturar ou cortar em função do sinal **X**. Se este sinal for igual a 0, independente do valor do sinal **X**, os dois transistores irão ficar cortados (0 volts nas bases), colocando a saída do *gate* em alta impedância, desligado de V_{CC} e do GND (**terceiro estado da saída**).

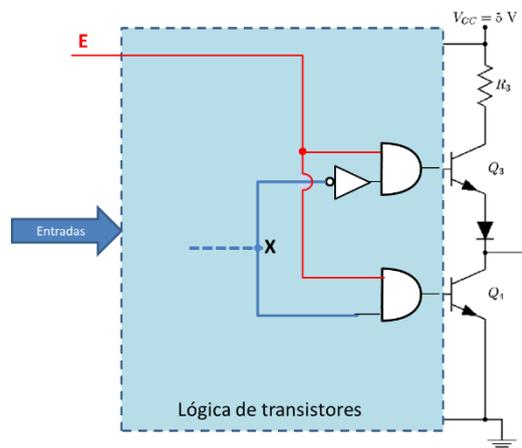


Figura 2.18 - Gate TTL simplificado com saída tri-state

2.3.3.1 Detalhe de chips com saída tri-state

A Figura 2.19 detalha a implementação de *gates* não inversores com saída *tristate*. Figura 2.19a mostra a implementação com tecnologia TTL e a Figura 2.19b mostra a implementação com tecnologia CMOS.

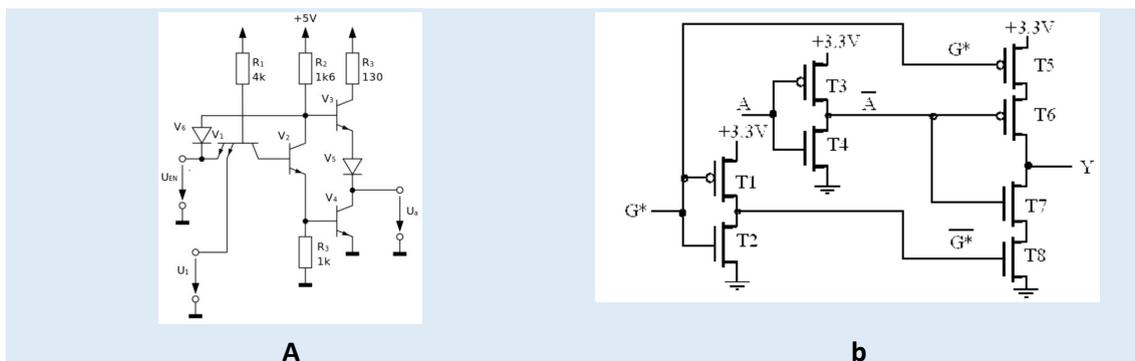


Figura 2.19 - Detalhe da implementação de gates com saída tri-state a) TTL b) CMOS

2.3.3.2 Simbologia de dispositivos com saída tri-state

Em desenho de esquemáticos os *gates* com saída *tri-state* podem ser identificados por um *nabla* (∇ gradiente, ou delta grego invertido). Assim, a Figura 2.20a mostra o exemplo do símbolo de um *gate* não inversor, identificado como tendo saída *tri-state* e cujo sinal de habilitação do *tri-state* (sinal *Enable*) é ativo alto. A Figura 2.20b mostra o exemplo do símbolo de um *gate* não inversor, identificado como tendo saída *tri-state* e cujo sinal de habilitação do *tri-state* (sinal *Enable*) é ativo baixo.

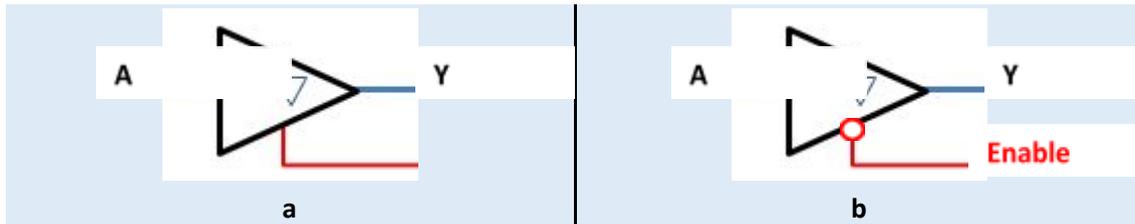


Figura 2.20 - Exemplos de símbolos de gates com saída tri-state

2.3.3.3 Exemplos de chips com saída tri-state

Na Figura 2.21 tem-se dois exemplos de *chips* com **gates** TTL com saída *tri-state*. O primeiro exemplo é o *chip* 74LS125 que tem quatro *gates* não inversores. Neste *chip* cada *gate* tem seu próprio sinal de controle de *tri-state*. O segundo exemplo é o *chip* 74LS244 que tem oito *gates* com saída *tri-state*. Sua principal aplicação é no acionamento e recepção de linhas. Neste *chip*, cada conjunto de quatro *gates* têm uma entrada de controle de *tri-state* comum. *Chips* com **tecnologia CMOS**, compatíveis em funcionamento e pinagem com estes dois exemplos são, respectivamente, 74HC125 e 74HC244.

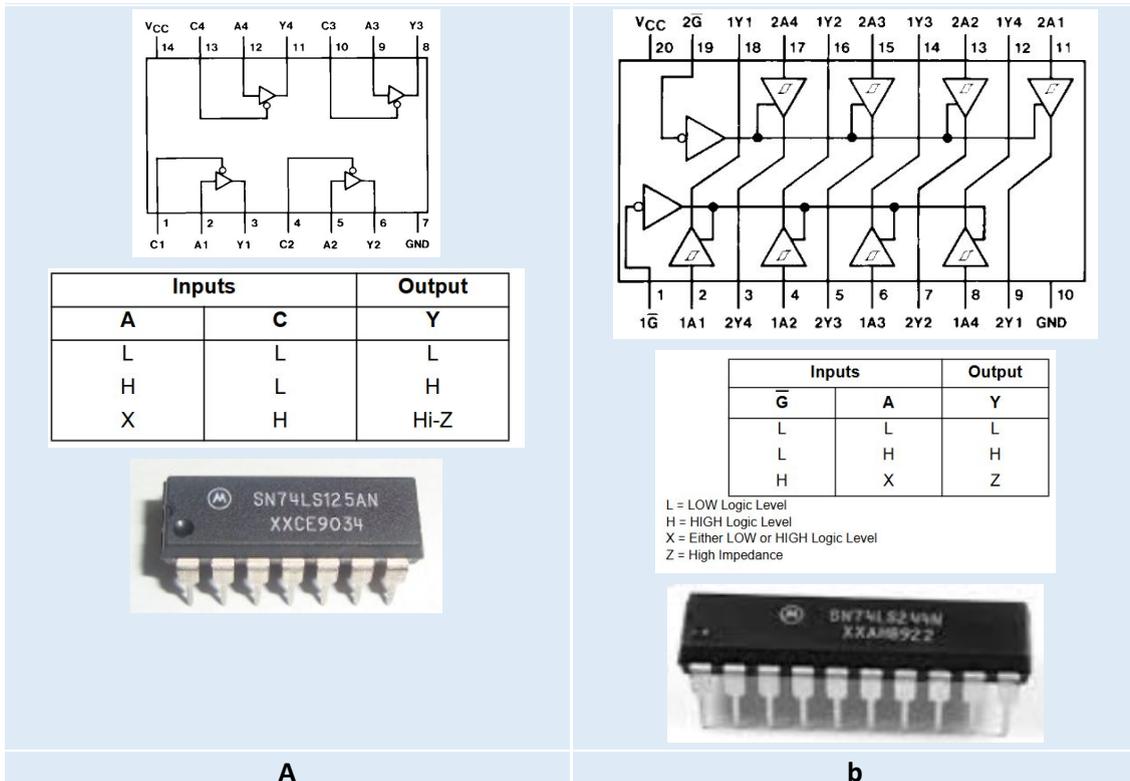


Figura 2.21 - Exemplos de chips com saída tri-state. (a) 74LS125, pinagem, tabela funcional e encapsulamento DIP (b) 74LS244, pinagem, tabela funcional e encapsulamento DIP

2.3.3.4 Aplicação de chips com saída Tri-state

As principais aplicações para dispositivos com saída *tri-state* são:

- Na formação de barramento com diversas fontes de dados;
- Na implementação de portas bidirecionais.

A seguir estas duas aplicações são detalhadas.

2.3.3.4.1 Barramento com diversas fontes de dados.

Uma das principais aplicações de dispositivos com saída *tri-state* é na implementação de barramento com diversas fontes de dados, também chamado de barramento multiplexado.

Considere por exemplo, o barramento (BUS) com 1 *bit* de largura da Figura 2.22. Este barramento pode conter dados oriundos de N fontes de sinais (A, B, C, ..., N) que têm sua

ligação com o barramento feita por *gates* com saída *tri-state*. Num dado instante, somente uma das fontes estará fornecendo dados ao barramento. A fonte que fornece dados é definida por um dos sinais de habilitação (SelA, SelB, SelC, ..., SelN). Os sinais de habilitação têm origem num controlador central (não mostrado na Figura 2.22). Num dado instante, somente um dos sinais de habilitação estará ativo (igual a 1), os demais estarão inibidos (iguais a 0).

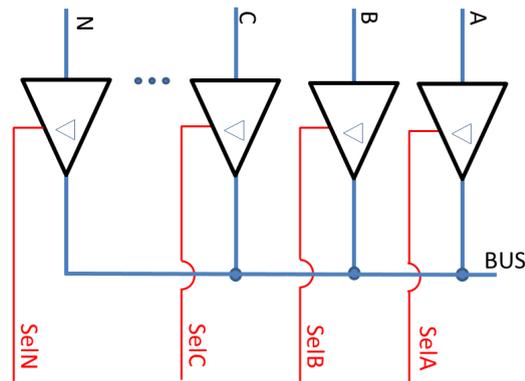


Figura 2.22 - Barramento com N fontes de dados

2.3.3.4.2 Bidirecional

Outra aplicação importante para dispositivos com saída *tri-state* é a implementação de portas bidirecionais, também chamadas de *transceivers*.

Considere a Figura 2.23, onde dois *gates* com saída *tri-state* são ligados de forma que a entrada de um *gate* é ligado à saída do outro. As saídas recebem os nomes de "A" e "B". Os sinais de controle de *tri-state* dos dois *gates* são complementares entre si, ou seja, um é ativo alto e o outro é ativo baixo e são interligados a um único sinal de controle (sinal DIR).

Dependendo do valor do sinal DIR esta porta envia sinais num sentido. Se o sinal DIR for igual a 0, esta porta envia os sinais de A para B e se o sinal DIR for igual a 1, esta porta envia os sinais de B para A.

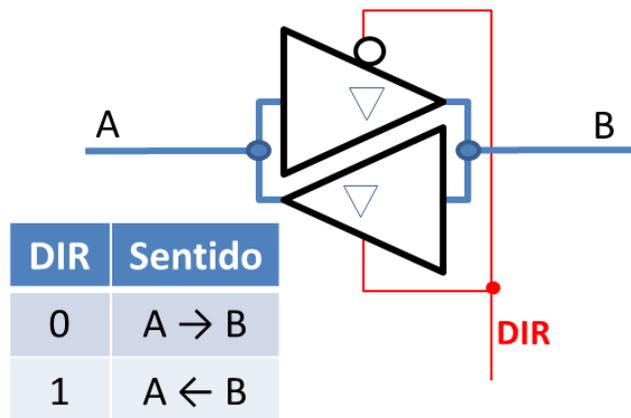


Figura 2.23 - Elemento bidirecional

2.3.3.4.3 Exemplo de chip com portas bidirecionais.

O exemplo de *chip* com portas bidirecionais é o chip TTL 74LS245, que possui oito portas bidirecionais, todas elas controladas por dois sinais de controle, sinais E e DIR. O sinal E habilita (quando E=0) ou inibe (quando E=1) todos os *gates*. O sinal DIR estabelece o sentido da conexão. A Figura 2.24 mostra a pinagem do *chip* 74LS245, seu diagrama lógico e seu encapsulamento DIP.

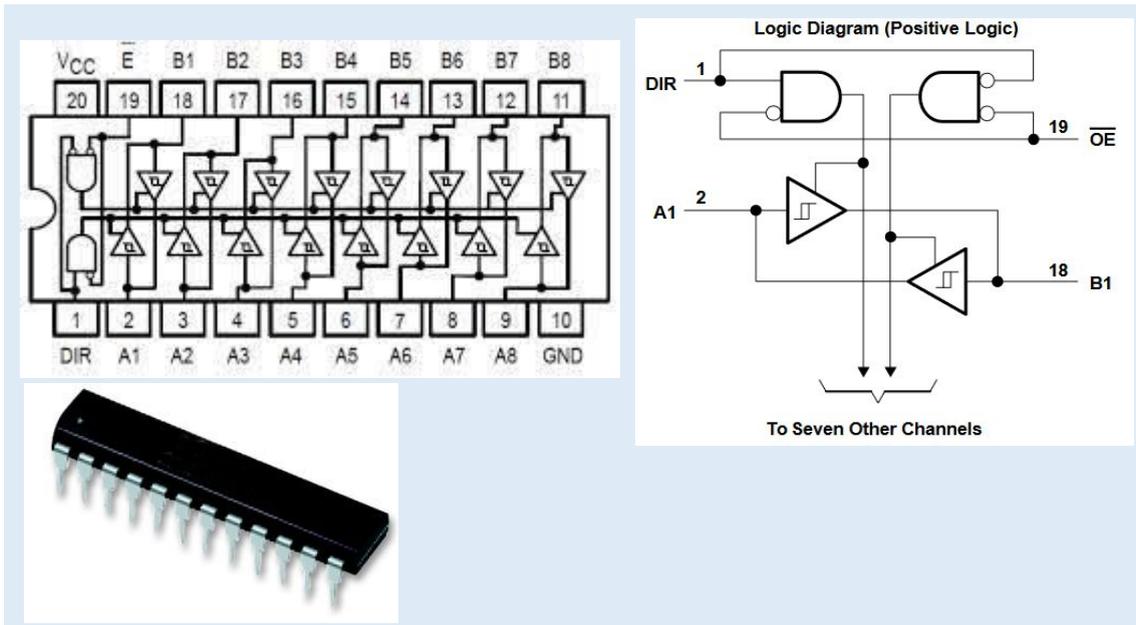


Figura 2.24 - Exemplo de chip bidirecional - 74LS245

2.3.4 Resumo simplificado das três formas de saída

O funcionamento de uma saída *Totem-Pole* pode ser comparado a uma chave comutadora de duas posições. Esta chave é mostrada na Figura 2.25A. Numa posição, o ponto central da chave (sinal "Out") é ligado ao Vcc e noutra posição ele é ligado ao GND. Esta chave sempre estará ligada a um valor elétrico, Vcc ou GND.

O funcionamento das saídas *Open-collector* e *Open-Drain* pode ser entendido se forem comparadas a uma chave liga-desliga. Esta chave é mostrada na Figura 2.25B. O ponto de saída da chave (sinal "Out") é ligado ao GND quando fechada e desligada quando aberta.

O funcionamento da saída *Tri-state* pode ser entendido se for comparada a uma chave comutadora de três posições, como mostrado na Figura 2.25C. Numa posição, o ponto central da chave (sinal "Out") é ligado ao Vcc, noutra posição, ele é ligado ao GND e numa terceira posição, a chave fica desligada.

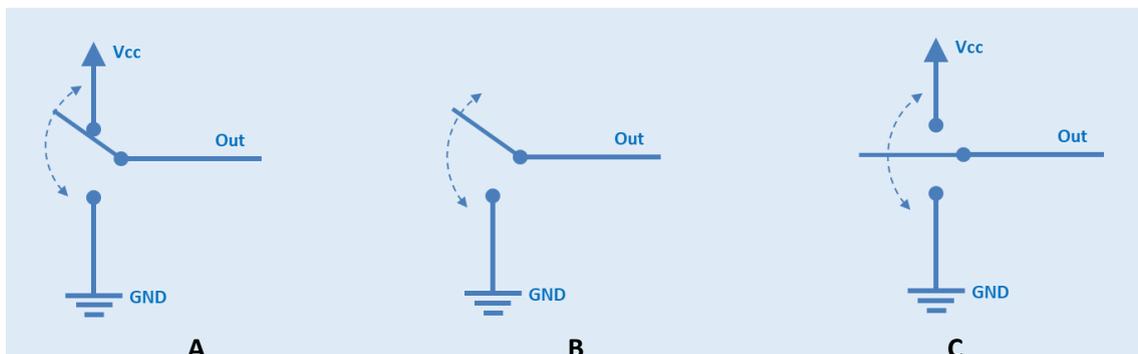


Figura 2.25 - Simplificação do funcionamento dos três tipos de saída
A:Totem-pole, B:Open Collector/Drain, C:Tri-state

2.4 Outros circuitos importantes com transistores.

2.4.1 Transistor sensível a luz (*phototransistor*)

São circuitos que utilizam um tipo de transistor bipolar que tem a sua base sensível a luz. Na presença de luz, a base atinge um nível de voltagem V_{BE} suficiente para saturar o transistor. Na ausência de luz o transistor corta.

Destacam dois tipos de dispositivos com este tipo de transistores, as chaves foto-acopladas e os circuitos foto-interruptores.

2.4.1.1 Chaves foto-acopladas

São dispositivos com um *phototransistor* e um LED. Passando uma corrente na polaridade adequada pelo LED, ele acende e o transistor sentido esta luz irá conduzir. Sem a corrente o transistor irá cortar. O LED e o transistor são encapsulados numa pastilha (*chip*) lacrada. Para fora do *chip* ficam os pinos do LED, do coletor e emissor do *phototransistor*, como na Figura 2.26. A aplicação típica para este tipo de dispositivo é no acoplamento de circuitos de níveis diferentes de alimentação.

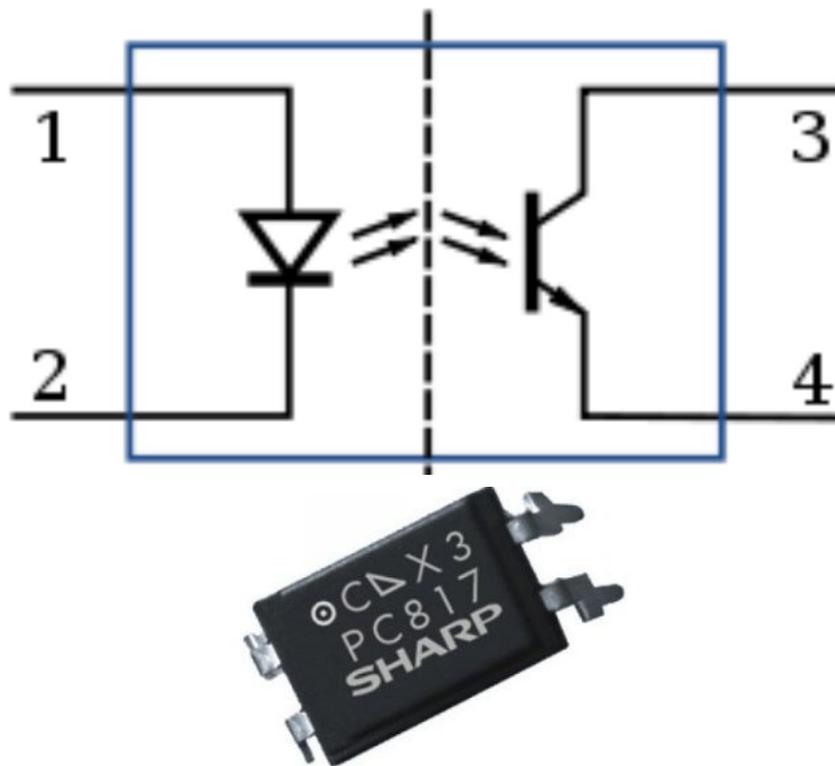


Figura 2.26 - Foto-acoplador e exemplo de chip

2.4.2 Circuito foto-interruptor

Este dispositivo funciona como o foto-acoplador, a diferença está na construção de seu *chip* que tem entre o LED e o *phototransistor* uma janela que permite que a luz seja bloqueada em função de um elemento externo. Exemplo de um dispositivo deste tipo é mostrado na Figura 2.27.

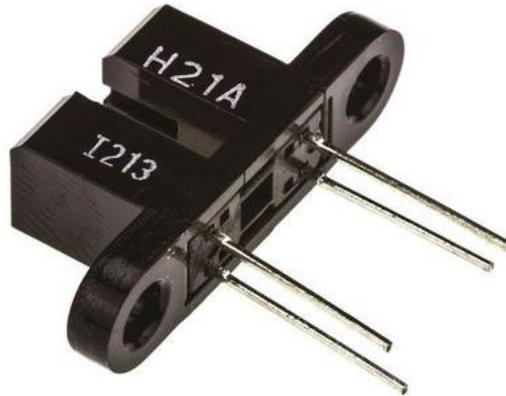


Figura 2.27 - Exemplo de foto-interruptor

2.5 Exercícios

- Questão 1. Explique, com suas palavras, o funcionamento da porta NAND da Figura 2.7. Pode utilizar para esta explicação ilustrações, ou anotações sobre o circuito.
- Questão 2. Explique, com suas palavras, o funcionamento da porta Inversor da Figura 2.9. Pode utilizar para esta explicação ilustrações, ou anotações sobre o circuito.
- Questão 3. Explique, com suas palavras, o funcionamento das portas NAND e NOR da Figura 2.10. Pode utilizar para esta explicação ilustrações, ou anotações sobre o circuito.
- Questão 4. As saídas de dois *gates* do tipo *Open-Collector/drain* podem ser ligadas juntas num mesmo ponto? Justifique.
- Questão 5. Explique, com suas palavras, o funcionamento da porta da Figura 2.15b. Pode utilizar para esta explicação ilustrações, ou anotações sobre o circuito.
- Questão 6. Explique, com suas palavras, o funcionamento da porta da Figura 2.19b. Pode utilizar para esta explicação ilustrações, ou anotações sobre o circuito.
- Questão 7. Faça um circuito esquemático da ligação de três fontes de dados com 8bits a um barramento comum. Inclua em seu projeto o circuito de seleção da fonte. A seleção deve ser feita a partir de dois bits de código. Por exemplo, se o código for 2, a fonte de dados de número 2 ocupará o barramento.

2.6 Referências Bibliográficas

Strosky (2017). Pedro Ney Stroski. *Como funciona o transistor BJT?* Disponível em <http://www.electricalibrary.com/>. Acessado em julho 2019

ElectronicArea (2019). *MOSFET Transistors, symbols and structure*. Disponível em <https://electronicsarea.com/mosfet-transistors/>. Acessado em julho 2019

WIKI (2019). Wikipedia the free encyclopedia. *Transistor–transistor logic*. Disponível em https://en.wikipedia.org/wiki/Transistor%E2%80%93transistor_logic. Acessado em julho 2019.

WIKIa (2019). Wikipedia the free encyclopedia. *CMOS*. Disponível em <https://en.wikipedia.org/wiki/CMOS>. Acessado em julho 2019.

Allaboutcircuits (2019). *CMOS Gate Circuitry*. Disponível em: <https://www.allaboutcircuits.com/textbook/digital/chpt-3/cmos-gate-circuitry/>. Acessado em julho 2019

Millman & Halkias (1972). Jacob Millman and Christos C. Halkias. *Integrated Electronics: Analog and Digital Circuits and System*. McGraw-Hill, Inc. Edição estudantil 1972.

TI (2004). Texas Instruments. *Selecting the Right Level-Translation Solution*. Application Report SCEA035A - June 2004