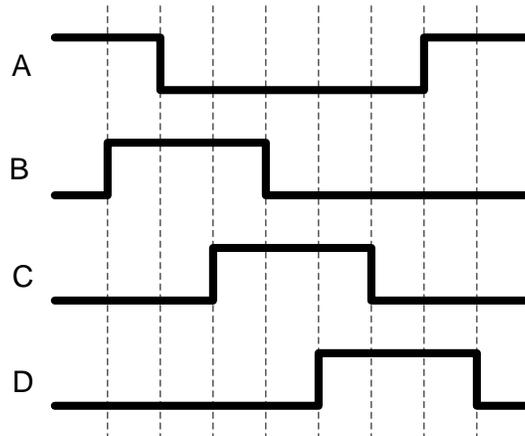


PROVA 1

Questão 1: Considere o diagrama de tempo dos sinais de controle de um motor de passo no modo *half-step*.



- a) (1,5) Projete o circuito lógico de um controlador de motor de passo capaz de gerar os sinais necessários para a operação no modo *half-step*. Desenhe o diagrama de estados do controlador e sua tabela verdade. Simplifique o circuito usando mapas de Karnaugh e soma de produtos. Obtenha todas as expressões dos sinais de controle e de próximo estado.
- b) (0,5) Explique como seria possível implementar um controlador equivalente através de uma abordagem de *software*, utilizando um microcontrolador e GPIOs.
- c) (0,5) Sob a perspectiva das métricas de projeto, aponte uma vantagem de cada uma das abordagens anteriores, *hardware* e *software*. Justifique.

Questão 2: Um processador genérico com arquitetura Princeton possui pipeline de 5 estágios.

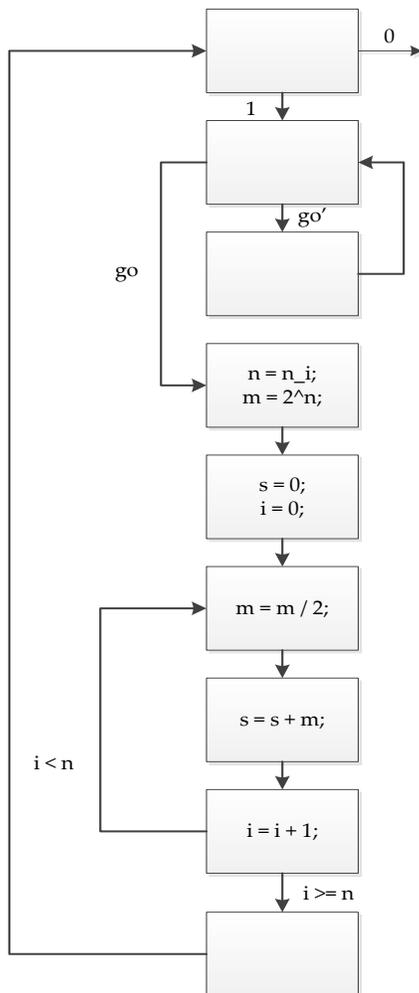
- a) (1,0) Encontre uma possível causa que explique o hazard observado na figura abaixo. Justifique.

MOV R0, M[500]	BI	DI	BO	EI	AR				
Instrução 2		BI	DI	BO	EI	AR			
Instrução 3			Ocioso	BI	DI	BO	EI	AR	
Instrução 4					BI	DI	BO	EI	AR

- b) (0,75) Qual o fator de aceleração assintótico, ou seja, na ausência de hazards e para um número infinito de instruções, entre esse processador e

outro equivalente sem pipeline que possui mesma frequência de relógio e instruções executadas em 5 estágios?

Questão 3: Você faz parte de uma equipe de projetistas contratada para construir um processador dedicado cuja função é computar a soma de todas as potências de dois inferiores a 2^n , tendo como entrada o valor de $n > 0$. Após uma rápida reflexão, alguns membros da equipe montaram a seguinte máquina de estados finitos com *datapath* (FSMD).



ALGORITMO

```

int n,s,i,m;
while(1) {
    while(!go);
    n=n_i;
    m = 2^n;
    s = 0;
    i = 0;
    while (i < n) {
        m = m/2;
        s = s + m;
        i = i + 1;
    }
}
    
```

- a) (1,0) Identifique todos os erros existentes na máquina. Justifique.
- b) (1,5) Admitindo que exista um bloco capaz de computar a operação 2^n , construa o *datapath*, indicando todos os sinais de controle dos módulos utilizados, bem como as conexões entre os módulos.

OBS:

- Há somente um somador disponível.
- Os registradores possuem somente duas entradas de controle: *clock*

e load.

- c) (0,75) Obtenha a **máquina de estados finitos (FSM) CORRIGIDA** que descreve o comportamento do controlador.

Questão 4: Considere o processador de propósito geral de 4 bits e com arquitetura Harvard mostrado na figura abaixo. Determine os sinais de controle que devem ser ativados e seus respectivos valores para a execução das seguintes instruções:

- a) (0,5) **MOV Rn, Rm** ($R_n = R_m$).
- b) (0,5) **MOV Rn, #imediato** ($R_n = \text{imediato}$. O valor imediato corresponde aos bits 0 a 3 da instrução).
- c) (0,5) **MOV Rn, @Rm** ($R_n = M_d(R_m)$. M_d se refere à memória de dados).
- d) (0,5) **MOV @Rn, Rm** ($M_d(R_n) = R_m$).
- e) (0,5) **SUB Rn, Rm** ($R_n = R_n - R_m$).

Observações: (1) Considere que as saídas do arquivo de registradores estão em estado de alta impedância quando não há um sinal que habilita leitura de registradores (R_{xre} e R_{yre}). (2) O barramento de dados da memória de dados é bidirecional e funciona como entrada a menos que o sinal M_{dre} esteja ativo. (3) A operação de subtração na ALU é codificada pelo valor binário 01.

