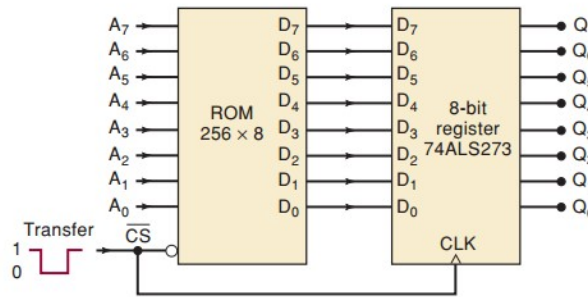


Lista de Exercícios - Memórias

Exercícios do livro *Digital Systems: Principles and Applications*

- C, D** 12-11.* Figure 12-45 shows how data from a ROM can be transferred to an external register. The ROM has the following timing parameters: $t_{ACC} = 250$ ns and $t_{OE} = 120$ ns. Assume that the new address inputs have been applied to the ROM 500 ns before the occurrence of the TRANSFER pulse. Determine the minimum duration of the TRANSFER pulse for reliable transfer of data.

FIGURE 12-45 Problem 12-11.



- C, D** 12-12. Repeat Problem 12-11 if the address inputs are changed 70 ns prior to the TRANSFER pulse.
- B** 12-13. **DRILL QUESTION**
- For each item below, indicate the type of memory being described: MROM, PROM, EPROM, EEPROM, flash. Some items will correspond to more than one memory type.
- Can be programmed by the user but cannot be erased.
 - Is programmed by the manufacturer.
 - Is volatile.
 - Can be erased and reprogrammed over and over.
 - Individual words can be erased and rewritten.
 - Is erased with UV light.
 - Is erased electrically.
 - Uses fusible links.
 - Can be erased in bulk or in sectors of 512 bytes.
 - Does not have to be removed from the system to be erased and reprogrammed.
 - Requires a special supply voltage for reprogramming.
 - Erase time is about 15 to 20 min.

12-24.* A certain static RAM has the following timing parameters (in nanoseconds):

$t_{RC} = 100$	$t_{AS} = 20$
$t_{ACC} = 100$	$t_{AH} = \text{not given}$
$t_{CO} = 70$	$t_W = 40$
$t_{OD} = 30$	$t_{DS} = 10$
$t_{WC} = 100$	$t_{DH} = 20$

- (a) How long after the address lines stabilize will valid data appear at the outputs during a read cycle?
- (b) How long will output data remain valid after \overline{CS} returns HIGH?
- (c) How many read operations can be performed per second?
- (d) How long should R/\overline{W} and \overline{CS} be kept HIGH after the new address stabilizes during a write cycle?
- (e) What is the minimum time that input data must remain valid for a reliable write operation to occur?
- (f) How long must the address inputs remain stable after R/\overline{W} and \overline{CS} return HIGH?
- (g) How many write operations can be performed per second?

Memória RAM Dinâmica:

- a) Qual a função dos sinais de controle RAS e CAS?
- b) Qual a função do *refresh* e qual o procedimento para realizá-lo?
- c) Desenhe o diagrama lógico (bloco com os pinos de endereçamento, controle e dados) de uma DRAM 64K x 8.
- d) Sabendo que a memória do item anterior retém a informação por 16ms, qual o intervalo máximo entre acessos à memória para realização de *refresh* que evita a perda de conteúdo?

Composição de memórias

1. Procure e obtenha o *datasheet* do módulo de memória para desktops Kingston de 16GB HX421C14FB/16.
https://www.kingston.com/datasheets/HX421C14FB_16.pdf
 - a) Qual a tecnologia de memória empregada no módulo?
 - b) Qual o número de palavras que o módulo armazena? Qual o tamanho das palavras?
 - c) Quantos chips de memória são combinados no módulo? Qual a capacidade individual das memórias usadas na composição (número de palavras x tamanho da palavra)?
 - d) Esboce como deve ser o provável diagrama lógico das memórias usadas nesse módulo.
 - e) Esboce o diagrama esquemático da composição de memórias usada no módulo.
2. Obtenha uma memória ROM de 2K x 16 a partir da composição de memórias de 512 x 4.

Hierarquia de memórias

- a) Qual objetivo da construção de uma estrutura hierarquizada de memória em um sistema computacional?

- b) Explique os princípios da localidade espacial e temporal e dê exemplos que os validem.
- c) Como as localidades espacial e temporal são exploradas na hierarquia de memória?
- d) Qual a relação do tempo de acesso e da capacidade das memórias com o nível hierárquico que elas ocupam?

Memória Cache

- 1 *(Vahid 5.9) Given the following three cache designs, find the one with the best performance by calculating the average cost of access. Show all calculations. (a) 4 Kbyte, 8-way set-associative cache with a 6% miss rate; cache hit costs one cycle, cache miss costs 12 cycles. (b) 8 Kbyte, 4-way set-associative cache with a 4% miss rate; cache hit costs two cycles, cache miss costs 12 cycles. (c) 16 Kbyte, 2-way set-associative cache with a 2% miss rate; cache hit costs three cycles, cache miss costs 12 cycles.*
- 2 *(Vahid 5.11) A given design with cache implemented has a main memory access cost of 20 cycles on a miss and two cycles on a hit. The same design without the cache has a main memory access cost of 16 cycles. Calculate the minimum hit rate of the cache to make the cache implementation worthwhile.*
- 3 *Suponha um sistema de memória com as seguintes características:*
 - *Endereço de 12 bits – referencia um byte.*
 - *A memória está dividida em blocos de 8 palavras (cada palavra corresponde a um byte).*
 - *Memória cache com capacidade máxima de 8 blocos, que usa o mapeamento associativo em conjunto considerando 2 vias (2ª opção).*
 - a) *Determine o comprimento (em bits) e o significado dos campos do endereço.*
 - b) *Qual o tamanho total (em bits ou bytes) da memória cache? Considere que cada linha possui um bit de validade e um bit de uso.*
 - c) *Considere que a seguinte sequência de endereços de memória que precisam ser acessados (em hexadecimal): 005, 044, 060, F10, 008, 009, 021, 061, 0C2, 809.*
Apresente o conteúdo final da memória cache, junto com a sequência de acertos (hits) e falhas (misses) destes endereços na cache.
- 4 *Obtenha todos os mapeamentos possíveis de uma memória cache com capacidade de armazenamento de 16 blocos.*