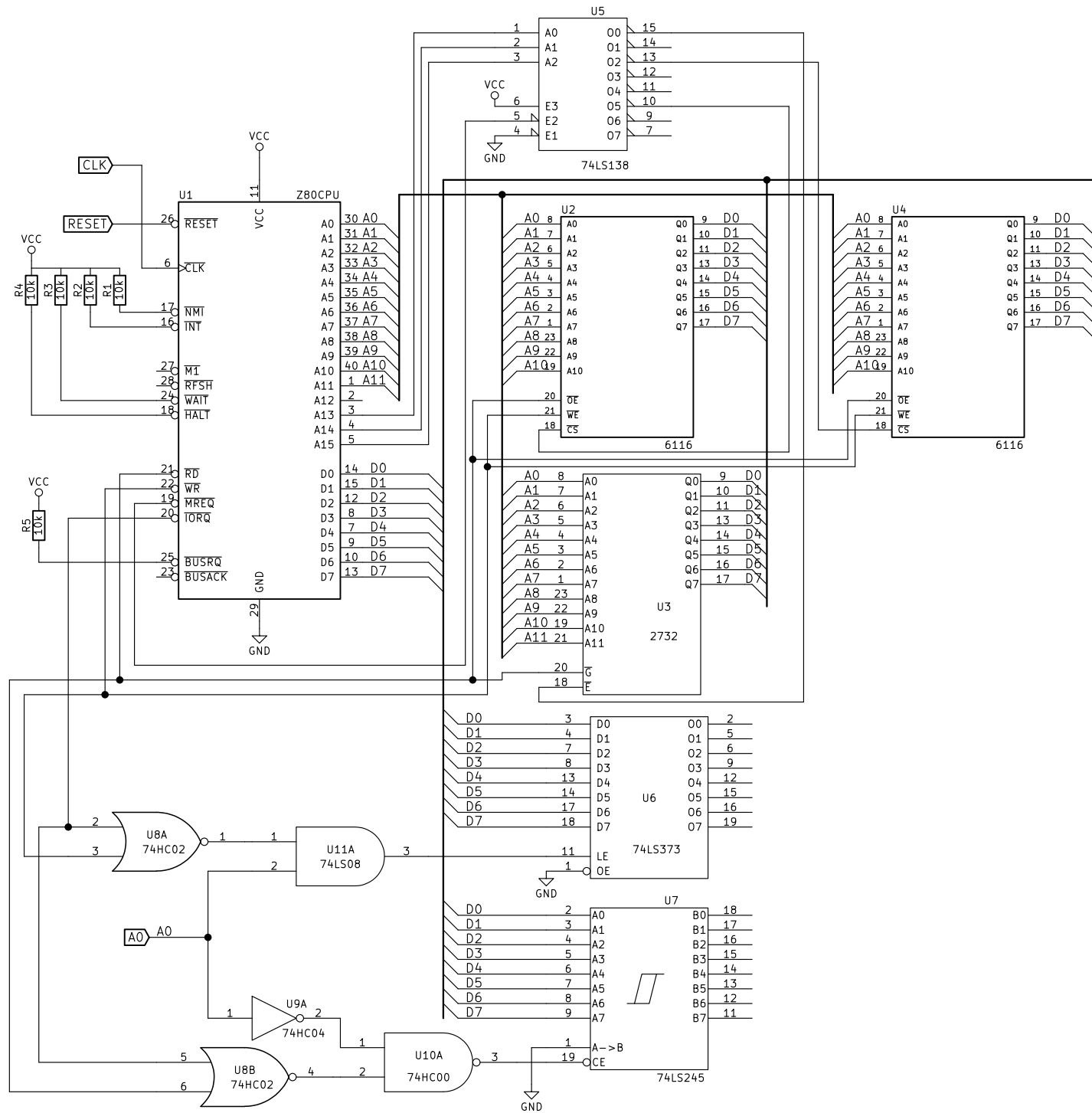


Lista de Exercícios – Decodificação de endereços, comunicação e barramentos

Considere o diagrama esquemático do computador mostrado na próxima página e responda:

- a) Quais os dispositivos envolvidos no circuito de decodificação de endereços de memória?
- b) Que tipo de estratégia de decodificação de endereços de memória é usado no sistema? Justifique.
- c) Qual a faixa de endereços ocupada por cada uma das memórias?
- d) É possível expandir a memória do sistema? Em caso positivo, quais as faixas de endereços que podem ser usadas na expansão?
- e) O CI U6 (74LS373) é um registrador de 8 bits usado como porta paralela de **saída** do sistema. Quando o sinal LE é colocado em nível alto, ele armazena o conteúdo de suas entradas em 8 flip flops D internos. O valor armazenado é continuamente mostrado em suas saídas (O7-00). O CI U7 (74LS245) é um buffer de 8 bits usado como porta paralela de **entrada** no sistema. Quando seu pino CE está em nível baixo, o valor colocado em suas entradas (B7-B0) é transferido para o barramento de dados do sistema. Quando CE está em nível alto, as saídas (A7-A0) do dispositivo entram em um estado de alta impedância e ele é desconectado do barramento. Identifique qual a estratégia de decodificação de endereços de I/O usada no sistema. Justifique.
- f) Qual o endereço de cada um dos periféricos?
- g) Construa os diagramas de tempo dos sinais do barramento (CLK, M1', MREQ', IORQ', RD', WR', A15-A0, D7-D0) durante a execução das seguintes instruções:
 - i. IN A,(0x34). Inclua o sinal correspondente ao pino 19 (CE) do U7 (74LS245) no diagrama.
 - ii. JP 0x00F3.

Use os subprotocolos de comunicação do Z80 mostrados nas notas de aula e baseie-se nos diagramas de tempo construídos em exemplos de aula. A descrição das instruções encontra-se em anexo nas próximas páginas.



IN A, (n)

Operation

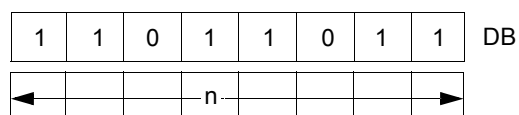
$A \leftarrow (n)$

Op Code

IN

Operands

A, (n)



Description

The operand n is placed on the bottom half (A0 through A7) of the address bus to select the I/O device at one of 256 possible ports. The contents of the Accumulator also appear on the top half (A8 through A15) of the address bus at this time. Then one byte from the selected port is placed on the data bus and written to the Accumulator (Register A) in the CPU.

M Cycles	T States	4 MHz LT.
3	11 (4, 3, 4)	2.75

Condition Bits Affected

None.

Example

The Accumulator contains 23h, and byte 7Bh is available at the peripheral device mapped to I/O port address 01h. Upon the execution of an IN A, (01h) instruction, the Accumulator contains 7Bh.

JP nn

Operation

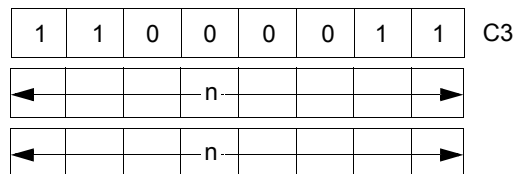
PC ← nn

Op Code

JP

Operand

nn



► **Note:** The first operand in this assembled object code is the low-order byte of a two-byte address.

Description

Operand *nn* is loaded to register pair Program Counter (PC). The next instruction is fetched from the location designated by the new contents of the PC.

M Cycles	T States	4 MHz E.T.
3	10 (4, 3, 3)	2.50

Condition Bits Affected

None.