

# EA075

## Conversão A/D: ATmega328P



Faculdade de Engenharia Elétrica e de Computação (FEEC)  
Universidade Estadual de Campinas (UNICAMP)

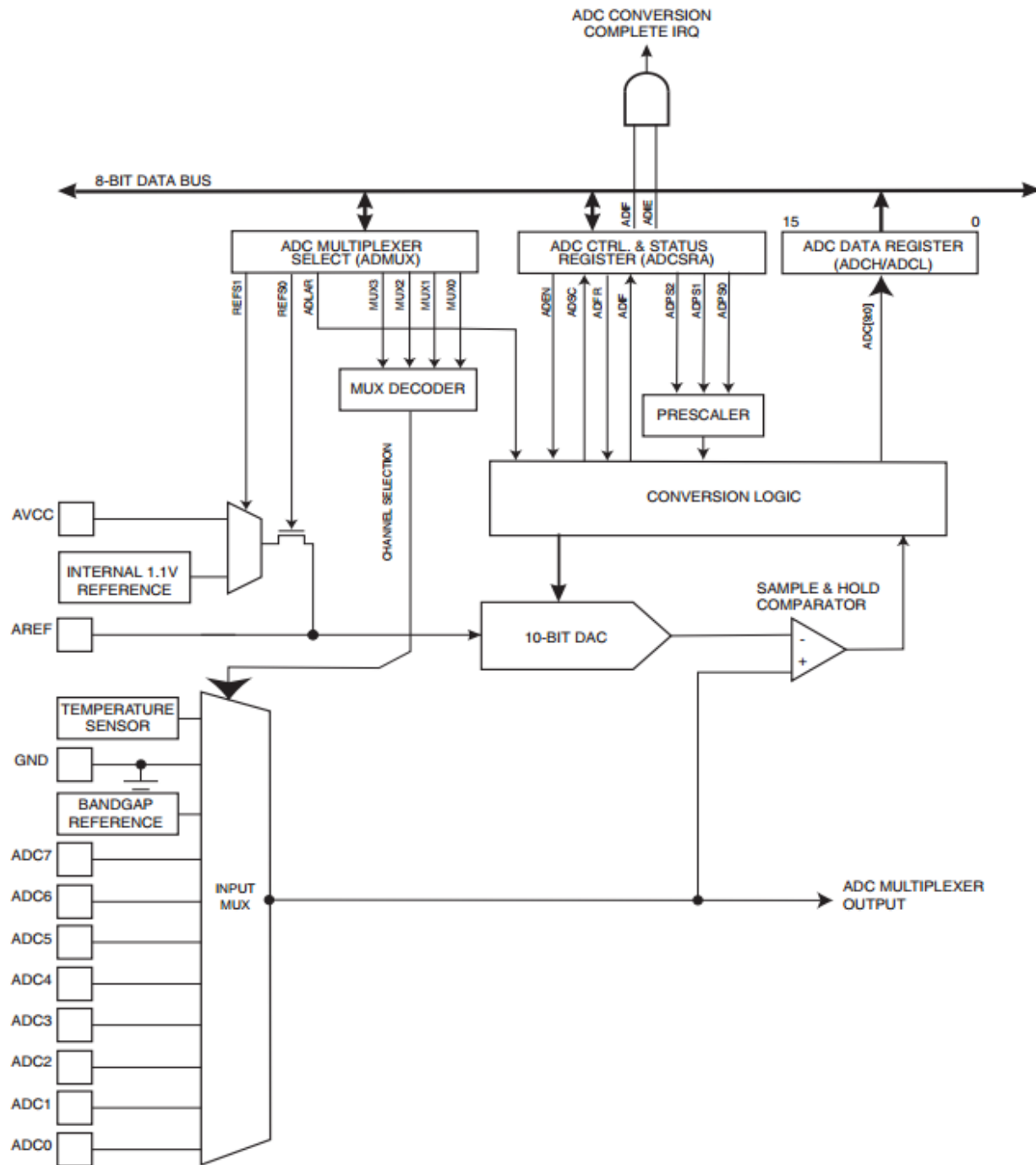
Prof. Rafael Ferrari

# ATmega328P – A/D

- **ADC de 10 bits com aproximações sucessivas.**
- **6 canais de entrada multiplexados.**
- **Tensão de referência:**
  - **V<sub>cc</sub> (5V)**
  - **1.1V**
  - **Externa (0 a V<sub>cc</sub>)**
- **Modos de operação:**
  - **Conversão única:** após realizar uma conversão, o ADC aguarda um sinal de gatilho para iniciar nova conversão.
  - **Auto Trigger:** free running (ao término de uma conversão, inicia-se outra automaticamente e o processo se repete indefinidamente); disparo através da interrupção externa ou por meio de eventos associados ao Timer 0 e ao Timer 1.

# ATmega328P – A/D

- Prescaler de 7 bits para seleção do relógio do ADC:  $\text{clk}/2$ ,  $\text{clk}/4$ ,  $\text{clk}/8$ ,  $\text{clk}/16$ ,  $\text{clk}/32$ ,  $\text{clk}/64$ ,  $\text{clk}/128$ .
- Processo de conversão por aproximações sucessivas leva de 13 a 25 ciclos de relógio.
- Uma interrupção é gerada ao término de cada conversão (vetor *ADC\_vect*).



# ATmega328P – A/D: Registradores

- **ADMUX:** seleção do canal de entrada; seleção da referência; configuração do alinhamento do resultado (alinhamento à esquerda para conversão de 8 bits).
- **ADCSRA:** habilitação do conversor; início de conversão; seleção do modo de operação (*auto trigger* ou não); habilitação da interrupção de fim de conversão; seleção do prescaler.
- **ADCSRB:** seleção da fonte do disparo automático quando o ADC opera no modo *auto trigger*.
- **DIDR0 (opcional):** desabilita entradas digitais multiplexadas com os canais do ADC (Porta C).
- **ADCL e ADCH:** armazenam o resultado da conversão (10 bits).

# ATmega328P – A/D: Seqüência de operação

1. Configurar prescaler, modo de operação, canal de entrada, referência, etc.
2. Habilitar o ADC: ativar o bit ADEN no registrador ADCSRA.
3. Iniciar a conversão: ativar o bit ADSC no registrador ADCSRA.
4. Aguardar o término da conversão, sinalizado pelo bit ADIF no registrador ADCSRA. A conclusão da conversão pode disparar uma interrupção caso o ADC tenha sido configurado para isso (melhor forma de se monitorar o término da conversão).
5. Ler o resultado da conversão nos registradores ADCL e ADCH. Primeiro deve ser lido o registrador ADCL e, em seguida, o registrador ADCH.