

**EA773 LABORATÓRIO DE CIRCUITOS LÓGICOS**  
**FEEC-UNICAMP - 2º Semestre de 2011 – Turmas C, D, S, T, U, W**

**Turma:** \_\_\_\_\_ **Grupo:** \_\_\_\_\_ **Data:** \_\_\_\_\_

**RA:** \_\_\_\_\_ **Nome:** \_\_\_\_\_

**RA:** \_\_\_\_\_ **Nome:** \_\_\_\_\_

**Experiência 3: CIRCUITOS SEQUENCIAIS (II)**

revisada pela Profa. Ting

**Objetivo:** Projeto de circuitos sequenciais utilizando componentes disponíveis.

**1. Preparo**

(a) Revise conceitos de sinais de controle síncronos e assíncronos em circuitos sequenciais. (b) Pesquise o conceito de *spikes* ou *bouncing* de um contato mecânico. (c) Os componentes 7416\* possuem 9 pinos de dados (4 de entrada e 5 de saída) e 4 pinos de controle, além do CLK: CLRN, LDN, ENT e ENP. Pesquise a função de cada um destes sinais de controle e a sua relação com o sinal de CLK na linha de tempo. **Dicas:** Observe que estes componentes são de 4 bits. No entanto, é possível concatená-los para formar um contador com um número maior de bits por meio do sinal de saída RCO e o sinal de controle ENT. O sinal LDN permite colocar o contador em qualquer estado. Analise os circuitos destes contadores e destaque suas diferenças e as características que permitem sua utilização na geração de contadores de módulo variável. (d) Leia a especificação técnica do componente 7447 e sintetize os sinais de dados e de controle, a sua tabela-verdade e os segmentos acesos (ATIVO BAIXO) para cada combinação de entrada. (e) Pesquise a especificação técnica de um *tri-state* e sua aplicação em barramentos.

**RA:** \_\_\_\_\_ **Visto:** \_\_\_\_\_ **Data:** \_\_\_\_\_

**2. Circuito de Debouncer**

Dado um circuito sequencial

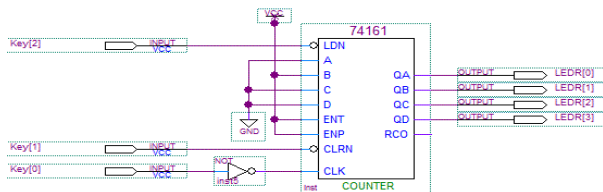


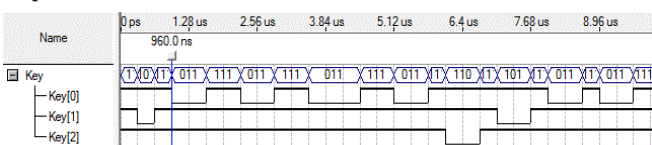
Figura 1: Contador binário

- Análise o comportamento funcional e temporal do circuito com base na especificação técnica do CI 74161, lembrando que as botoeiras do kit FPGA-SDB são ATIVO BAIXO.
- Implemente o circuito no kit FPGA-SDB e observe se o seu comportamento é compatível com o esperado quando se pressiona a botoeira Key[0] inúmeras vezes. Em seguida, troque Key[0] por SW[0] e alterna a posição da chave inúmeras vezes. O comportamento do circuito é o esperado? Explique os resultados observados.
- Introduza um latch entre a porta NOT e o pino CLK do componente 74161, com ENABLE=Vcc. Repita o experimento com SW[0] e explique o comportamento do circuito.
- Substitua o latch por um flip-flop D com um CLOCK a 27MHz e repita o experimento com SW[0]. Explique o comportamento observado.

**RA:** \_\_\_\_\_ **Visto:** \_\_\_\_\_ **Data:** \_\_\_\_\_

**3. Sinais de Controle Síncronos e Assíncronos**

- Simule o comportamento temporal do circuito da Figura 1 com as seguintes formas de onda. Explique os resultados obtidos, em termos de respostas aos sinais LRN.



- Substitua o componente 74161 pelo 74163 e repita a simulação. Compare os resultados com os do item (a) e explique-os.
- Altere o circuito de síntese do sinal CLK do circuito conforme a Figura 2. Repita a simulação e explique os resultados obtidos, destacando a função dos dois FFs e a porta OR.
- Aplice a solução do item (c) à síntese do sinal LDN e CLK de forma que quando a Key[2] for acionada o contador vá ao estado 0010.
- Inclua o componente 7447 para visualizar os estados em um display de 7 segmentos ao acionar Key[0].

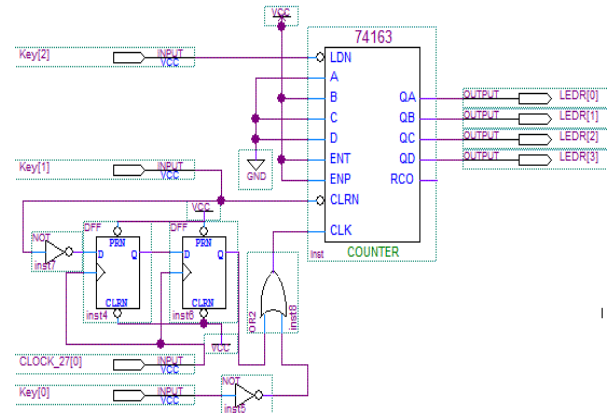


Figura 2: Contador Binário com CLR síncrono

**RA:** \_\_\_\_\_ **Visto:** \_\_\_\_\_ **Data:** \_\_\_\_\_

**4. Contadores Decimais**

Projete, com uso de 74160, um contador decimal módulo 25 que apresente em dois displays de 7 segmentos a seguinte sequência de estados: 0,1,2,...,22,23,24,0,1... a uma frequência de ~1.5Hz. O contador é provido de uma botoeira RESET de forma que quando acionada o contador vá para o estado 0 e que este estado seja exibido com um período maior ou igual ao de outros estados.

**RA:** \_\_\_\_\_ **Visto:** \_\_\_\_\_ **Data:** \_\_\_\_\_

**5. Barramento e Tri-states**

**Barramento** é um conjunto de linhas compartilhadas por diferentes dispositivos para transferência de sinais entre eles. De um lado, há um melhor proveito do recurso físico. Por outro lado, é necessário projetar um circuito de controle para assegurar tráfego “seguro” de sinais entre cada par de dispositivos em cada instante. Figura 3 ilustra o uso de portas de lógica tri-states para controlar a transferência dos sinais de 2 conjuntos de 4 chaves por um barramento de 4 linhas à entrada paralela de um contador. Esta porta é também conhecida como **driver** de barramento.

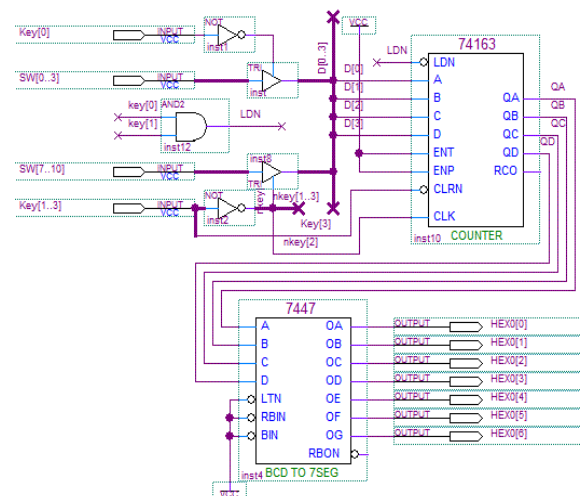


Figura 3: Contador Binário com entradas múltiplas

- Análise o circuito e identifique a função de cada periférico de entrada, Key[0..3] e SW[0..10].
- Pelo circuito qual é um procedimento apropriado para resetar o contador ou para carregar o estado das chaves SW[0..3] ou SW[7..10] no contador? Justifique a sua resposta. Teste-a no kit FPGA-SDB. **Dica:** Duas botoeiras devem ser acionadas.
- Altere o circuito para que uma botoeira seja suficiente para cada ação.

**RA:** \_\_\_\_\_ **Visto:** \_\_\_\_\_ **Data:** \_\_\_\_\_