

Turma: _____ Grupo: _____ Data: _____
 RA: _____ Nome: _____
 RA: _____ Nome: _____

EXPERIÊNCIA 2: CIRCUITOS SEQUENCIAIS (I)

revisada pela Profa. Ting

Objetivo: Projeto de circuitos sequenciais utilizando a tecnologia FPGA.

1. Preparo

- (a) Revise as semelhanças e as diferenças entre *flip-flops* e *latches*.
- (b) Revise os conceitos de tempo de *setup*, de *hold* e de chaveamento de um *flip-flop*.
- (c) Pesquise a função lógica de 7474 e as características de chaveamento (*switching characteristics*) e o tempo de *setup* e *hold* de um CI 7474 de tecnologia TTL/CMOS.
- (d) Revise as funções de transição de estado dos *flip-flops* JK, D e T.
- (e) Pesquise a aplicação de *flip-flops* D na implementação de um registrador de deslocamento.
- (f) Pesquise a aplicação de *flip-flops* T na implementação de um divisor de frequência que reduza uma frequência de 27MHz para ~1,5Hz.
- (g) Dê uma representação binária para as entradas, as saídas e os estados da máquina dada no item 5 e sintetize as funções de transição de cada *bit* do estado e da saída.

RA:	Visto:	Data:
-----	--------	-------

2. Flip-flops e Latches

Desenhe os esquemáticos dos circuitos das Figuras 1 e 2 no ambiente MAX+PLUSII. Analise as suas funções lógicas.

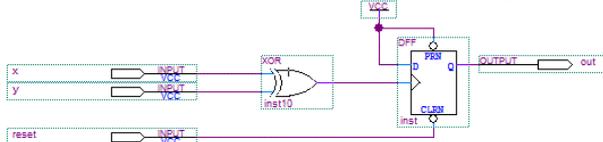


Figura 1: Flip-flop D

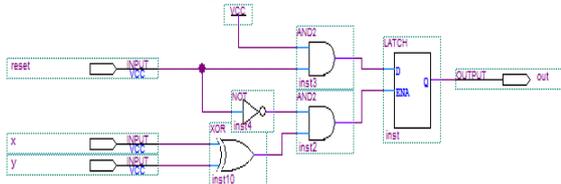


Figura 2: Latch

Faça uma simulação funcional e uma temporal do comportamento dos dois circuitos com as formas de onda da Figura 3. Registre e explique as diferenças observadas nas formas de onda de saída dos circuitos. São condizentes com os resultados teóricos?

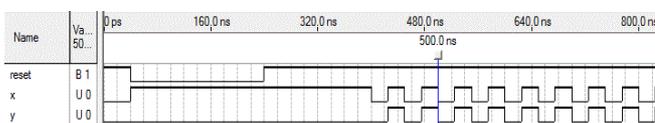


Figura 3: Formas de onda

RA:	Visto:	Data:
-----	--------	-------

3. Registrador de Deslocamento

Projete e implemente no ambiente MAX+PLUSII, um **registrador de deslocamento de 4 bits unidirecional**, utilizando o componente 7474 (sensível a borda de subida). Faça simulações funcionais e temporais do circuito em um intervalo de tempo igual a 1us, mantendo o sinal de CLK com período T=70ns, *offset*=0ns e variando o período do sinal de entrada (*offset*=0ns) em: T=50ns, T=100ns, T=140ns e T=150ns.

- a) Registre as formas de onda e destaque nelas a relação temporal entre as bordas de subida do relógio e os sinais de entrada e de saída em cada FF. Em que instantes os estados dos FFs são alterados? Os sinais observados estão condizentes com os esperados? Justifique.
- b) Os sinais nas saídas dos FFs são sinais deslocados em relação ao sinal de entrada ou em relação ao sinal de saída do primeiro

- FF (*bit* menos significativo)? Explique.
- c) Observe que os pulsos dos sinais de saída podem apresentar larguras diferentes. Como você explica estas variações? Para quais frequências o circuito apresenta comportamento teórico?

RA:	Visto:	Data:
-----	--------	-------

4. Divisor de Frequência

Sabe-se que a visão média humana não consegue perceber efeito de cintilação quando a frequência de pisca-pisca for acima de 20 a 35 Hz. Projete um divisor de frequência com uso do componente *freqdiv* para que a frequência do relógio de 27 MHz seja reduzida para cerca de 1,5 Hz.

- a) Atribua pinagem apropriada e programe o seu circuito no *kit* FPGA-SDB, de forma que dê para verificar o funcionamento do seu divisor com uso de um *led*.
- b) Inclua uma chave liga/desliga ao circuito de pisca-pisca, de tal forma que o *led* só começa a piscar quando a chave estiver ligada, conforme ilustra a Figura 4. Observe que o tempo de duração da primeira piscada do *led* varia muito. Explique esta variação.

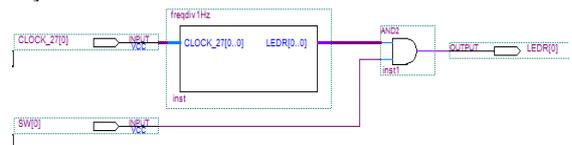


Figura 4: Circuito de chaveamento

- c) Elabore uma solução para que as variações na primeira piscada sejam eliminadas. Explique a sua solução.

RA:	Visto:	Data:
-----	--------	-------

5. Máquina de Estados

Implemente uma máquina de estados que possua as transições de estado dadas na seguinte tabela.

Estado Atual (EA)	Entrada		
	x=0	x=1	
A	A	E	1
B	E	A	0
C	B	F	0
D	F	B	1
E	C	G	0
F	G	C	1
G	D	H	0
H	H	D	1
	Próximo Estado (PE)		Saída (z)

Utilize os FFs JK, D e T, um para cada bit de estado. Mapeie a entrada x em uma chave e cada *bit* de estado em um *led* do *kit* FPGA-SDB antes de programá-lo. Inclua ainda uma botoeira de *reset*, tal que ao apertá-la o circuito vai para o estado D e o tempo de exibição deste estado seja igual ao dos outros subsequentes. Teste o circuito com frequência de operação em torno de 1,5 Hz. A codificação binária dos estados segue a seguinte regra: A=(último algarismo do seu grupo)%9, (B=A+1)%9, (C=A+2)%9, e assim por diante.

Obs: As botoeiras do *kit* FPGA-SDB são ATIVO BAIXO!

RA:	Visto:	Data:
-----	--------	-------