

Turma: _____ **Grupo:** _____ **Data:** _____
RA: _____ **Nome:** _____
RA: _____ **Nome:** _____

EXPERIÊNCIA 4: CALCULADORA.

Objetivo: O objetivo desta experiência é apresentar os princípios de funcionamento de uma Unidade Aritmética em **complemento de 2**, capaz de realizar operações aritméticas básicas com números inteiros com sinal (Fonte: Capítulo 10 do livro “Introdução aos Sistemas Digitais”. Milos D. Ercegovac, Tomás Lang, Jaime H. Moreno. Bookman, 2000. ISBN 85-7307-698-4).

1. Preparo

Faça uma descrição funcional sucinta de uma unidade lógico-aritmética.

Projete um circuito **combinacional** aritmético (UA) de 8 bits que atenda aos seguintes requisitos.

a) Entradas:

- 1) $\underline{x} = (x_7 x_6 x_5 x_4 x_3 x_2 x_1 x_0)$ e $\underline{y} = (y_7 y_6 y_5 y_4 y_3 y_2 y_1 y_0)$ números inteiros em complemento de 2, com x_i e $y_i \in \{0, 1\}$, $i = 0, 1, 2, \dots, 7$;
- 2) Código de Operação $\underline{f} = (f_2 f_1 f_0)$, com $f_i \in \{0, 1\}$, $i = 0, 1, 2$.

b) Saídas:

- 1) $\underline{S} = (s_7 s_6 s_5 s_4 s_3 s_2 s_1 s_0)$, com $s_i \in \{0, 1\}$, $i = 0, 1, 2, \dots, 7$;
- 2) Bit de transporte vai-um: $C \in \{0, 1\}$.
- 3) Bit de overflow: $V \in \{0, 1\}$ (quando verdadeiro indica que ocorreu estouro aritmético)
- 4) Bit de sinal: $N \in \{0, 1\}$ (quando verdadeiro indica que o resultado é negativo)
- 5) Bit zero: $Z \in \{0, 1\}$ (quando verdadeiro indica que o resultado é igual zero)

c) Funções: a operação a ser realizada é especificada pelo Código de Operação expresso pelo vetor de 3 bits $\underline{f} = (f_2 f_1 f_0)$. Tabela 1 apresenta as operações e os respectivos códigos de operação que podem ser realizadas pela UA. Os códigos das operações foram definidos na Experiência 3.

Código de Operação	Operação		
	f2	f1	f0
	ADD	adição	$s = x + y$
	EXSUB	subtração	$s = -x + y$
	CMX	complemento	$s = x'$
	CS	troca de sinal	$s = -x$

Tabela 1 Códigos de Operação.

Considerando as especificações apresentadas:

a) Projete um decodificador minimizado de código de operação, conforme ilustra a Figura 1, para a geração dos sinais de controle k_x (complementar x), k_y (complementar y), k_z (zerar y) e c_i (vem-um).

- a.1) Expresse as 4 funções em termos da soma dos dois operandos x, y.
- a.2) Determine o vetor de sinais de controle (k_x, k_y, k_z, c_i) para cada código de operação e a função de chaveamento para cada sinal.
- a.3) Simule o circuito no ambiente Quartus II para o dispositivo FPGA disponível no almoxarifado. Registre os testes realizados

b) Projete o circuito complementador, circuito somador e o circuito “zerar”.

- b.1) Escreva a função lógica de uma soma completa.
- b.2) Escreva as expressões lógicas para C, V, Z e N.
- b.3) Escreva as expressões lógicas para complemento e para o circuito “zerar”.

b.4) Simule e registre os testes realizados

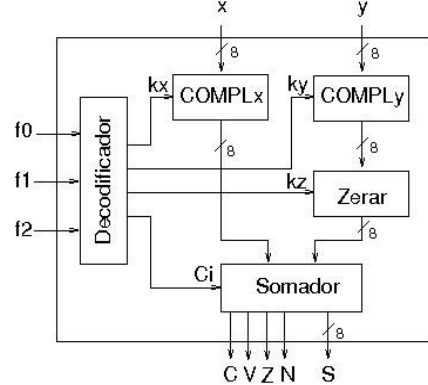


Figura 1: Unidade Aritmética.

RA:	Visto:	Data:
------------	---------------	--------------

2. Circuito Combinacional Aritmético

Integre todos os módulos, simule e teste a UA com as operações ADD e EXSUB e entradas \underline{x} e \underline{y} que produzam os seguintes valores para os bits de condição (N, Z, C, V):

- N=0; Z=0; C=1; V=0;
- N=1; Z=0; C=1; V=0;
- N=0; Z=0; C=1; V=1;
- N= 1; Z=0; C=0; V=0;
- N =0; Z=1; C=1; V=0;
- N= 1; Z=0; C= 0; V=1;
- N =0; Z=1; C=0; V=0.
- N= 0; Z=0; C=0; V=0.

RA:	Visto:	Data:
------------	---------------	--------------

3. Interface com Periféricos

Projete uma interface para a UA, de forma que o usuário possa utilizar as 8 chaves *Toggle* do SDB da Altera para definir tanto o código de operação quanto os dois operandos X e Y, e visualizar o resultado S e os bits de condição C, V, Z, N de uma operação através de um conjunto de LEDs (os vermelhos para bits de condição e os verdes para os 8 bits de resultado). Utilize três latches, controlados pelas botoeiras sel*, para armazenar os valores de chave, conforme mostra Figura 2,

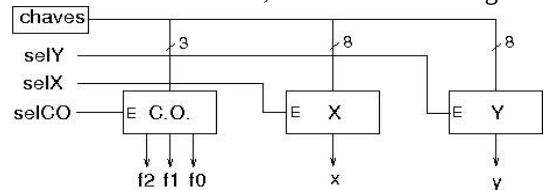


Figura 2: Interface com Unidade Aritmética.

RA:	Visto:	Data:
------------	---------------	--------------

4. Calculadora Simples

- a) Programe o FPGA-SDB da Altera com o circuito de interface integrado à UA.
- b) Repita todos os testes simulados.
- c) Elabore uma sequência de operações para calcular $15+15+24$; $(35-20+5)*2$; 16×11 .