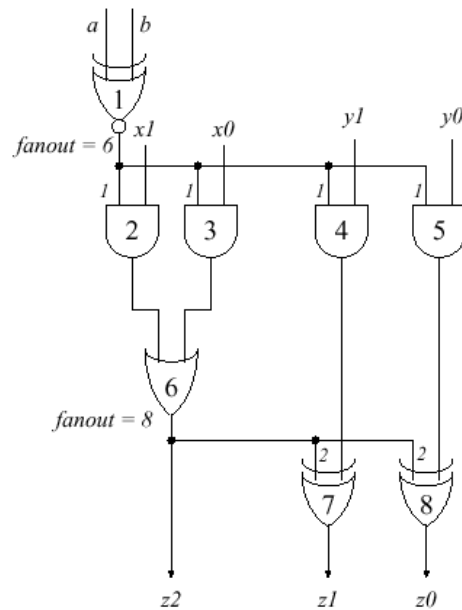
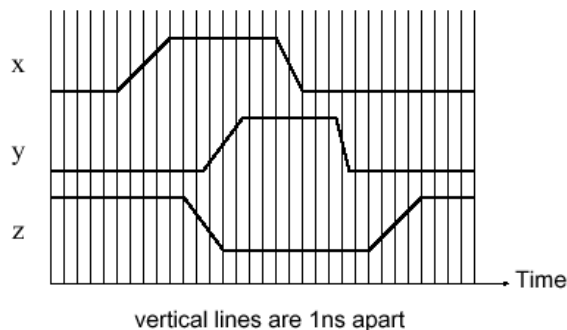


2ª Lista de Exercícios

1. (adaptado do ex. 3.6 do livro-texto) Para o circuito abaixo



- Determine a carga de saída de cada porta.
 - Quantas entradas adicionais de porta com fator de carga igual a 1 podem ser conectadas à saída das portas 1, 7 e 8?
2. (adaptado do ex. 3.7 do livro-texto) Determine os retardos de propagação e os tempos de transição da saída referentes a uma porta NOR ($z=(x+y)'$) cujos formatos de onda (*waveform*) são esboçados no seguinte diagrama de tempo



3. (ex. 3.9 do livro-texto)

- Uma porta de um circuito tem uma carga $L=70$. Determine os retardos de propagação sabendo que eles são dados pelas expressões

$$t_{pHL} = 0.43 + 0.15L(ns)$$

$$t_{pLH} = 0.35 + 0.25L(ns)$$

Este retardo pode ser reduzido colocando-se um *buffer* na saída da porta. O fator de carga do *buffer* é $I=2$ e seu retardo de propagação é descrito pelas expressões

$$t_{pHL} = t_{pLH} = 0.6 + 0.02L(ns)$$

- Determine o retardo de propagação da porta seguida de um *buffer* (o *buffer* alimentando a carga $L=70$).
 - Conecte à saída da porta dois *buffers*, cada um alimentando metade da carga. Determine o retardo.
 - Determine o número ideal de *buffers* para conectar em paralelo.
4. Determine as margens de ruído (ver definição na página 65 do livro-texto) referentes à porta com as seguintes faixas de voltagem.

$$a \leq V_H(\text{ENTRADA}) \leq b$$

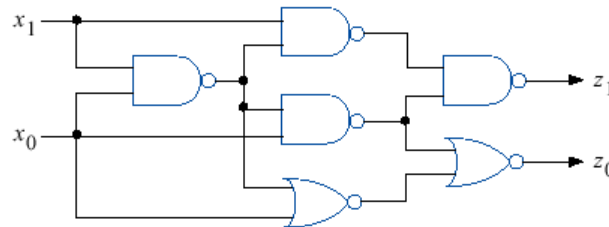
$$c \leq V_L(\text{ENTRADA}) \leq d$$

$$e \leq V_H(\text{SAÍDA}) \leq f$$

$$g \leq V_L(\text{SAÍDA}) \leq h$$

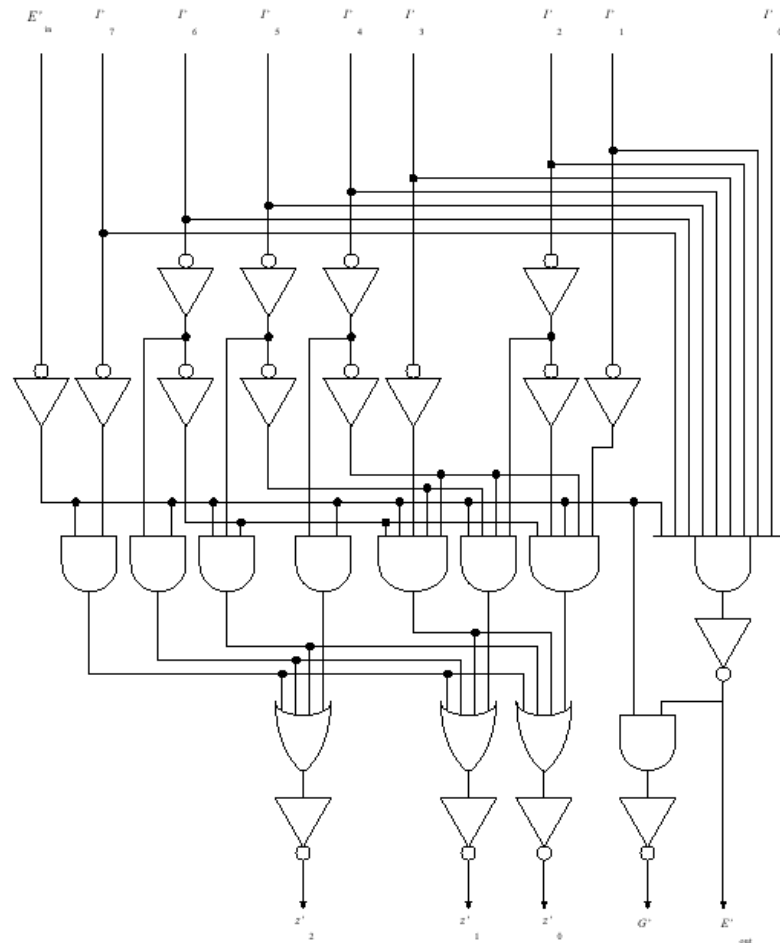
Faz sentido projetar uma família lógica com $V_{Hmin}(\text{ENTRADA}) > V_{Hmin}(\text{SAÍDA})$ e/ou $V_{Lmax}(\text{ENTRADA}) < V_{Lmax}(\text{SAÍDA})$? Justifique.

5. (adaptado do ex. 4.10 do livro-texto) Analise o seguinte circuito



Obtenha a sua função lógica, o fator de carga de cada entrada, o fanout de cada saída (considerando que o fanout da saída de cada porta seja 10), os retardos mínimos t_{pLH} e t_{pHL} (uma análise precisa seria considerar todas as possíveis combinações entrada-saída e computar o retardo máximo t_{pLH} e t_{pHL}). Para simplificar, considere como o caminho crítico aquele que tiver o maior número de portas no caminho), e o diagrama de tempo mostrando os retardos nos dois sinais de saída (ver a tabela de características no arquivo http://www.cs.ucla.edu/Logic_Design/SLPDF/ch3.ps.gz ou http://www.cs.ucla.edu/Logic_Design/SLPDF/ch3.pdf).

6. (exercício 4.13 do livro-texto) Analise o seguinte circuito



Obtenha a sua função lógica, o fator de carga de cada entrada, o fanout de cada saída (considerando que o fanout da saída de cada porta seja 12), os retardos mínimos t_{pLH} e t_{pHL} (uma análise precisa seria considerar todas as possíveis combinações entrada-saída e computar o retardo máximo t_{pLH} e t_{pHL} . Para simplificar, considere como o caminho crítico aquele que tiver o maior número de portas no caminho), e o diagrama de tempo mostrando os retardos no caminho crítico.