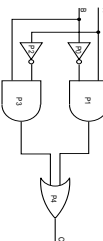


## Complemento do Capítulo 4

O **retardo mínimo** de um circuito é o maior tempo que o circuito leva para causar uma mudança de estado nos seus sinais de saída. Para obter este retardo deve computar todos os possíveis retardos entre cada possível par entrada-saída e determinar o máximo destes retardos. Para exemplificar, vamos considerar o seguinte circuito:



A tabela-verdade da função implementada por este circuito é

A	B	P0	P2	P1	P3	P4 = C
0	0	1	1	0	0	0
0	1	0	1	0	1	1
1	0	1	0	1	0	1
1	1	0	0	0	0	0

Os valores nas colunas P<sub>i</sub>, i=0, 1, 2, 3 e 4, correspondem às saídas das portas P<sub>i</sub> indicadas na figura.

Vamos primeiro computar os retardos introduzidos por cada porta P<sub>i</sub> com uso da tabela 4.1 do livro-texto:

Porta	Tipo	Carga	$t_{pHL}$	$t_{pLH}$
P0	NOT (f <sub>ain</sub> =1)	1	$0,05 + 0,017 = 0,067$	$0,02 + 0,038 = 0,058$
P1	AND (f <sub>ain</sub> =2)	1	$0,16 + 0,017 = 0,177$	$0,15 + 0,037 = 0,187$
P2	NOT (f <sub>ain</sub> =1)	1	$0,05 + 0,017 = 0,067$	$0,02 + 0,038 = 0,058$
P3	AND (f <sub>ain</sub> =2)	1	$0,16 + 0,017 = 0,177$	$0,15 + 0,037 = 0,187$
P4	OR (f <sub>ain</sub> =2)	1	$0,20 + 0,019L$	$0,12 + 0,037L$

Duas entradas, A e B, e uma saída, C, constituem 2 possíveis pares de entrada-saída. Para cada par, por sua vez, temos diferentes caminhos para os quais podemos avaliar os retardos com uso de tabela-verdade acima.

Entrada-Saída	Caminhos	Transições	Retardo
(A,C)	P1 → P4	B=0	$t_{pHL}(P1) + t_{pHL}(P4) = 0,377 + 0,019L$
		B=1	$t_{pLH}(P1) + t_{pLH}(P4) = 0,307 + 0,037L$
B fixo		B=1	Saída(P1) não altera. Não afeta a saída.
A variando	P2 → P3	B=0	Saída(P3) não altera. Não afeta a saída.
	→ P4	B=1	$t_{pHL}(P2) + t_{pHL}(P3) + t_{pHL}(P4)$ $= 0,444 + 0,019L$
			$t_{pHL}(P2) + t_{pHL}(P3) + t_{pHL}(P4)$ $= 0,365 + 0,037L$
(B,C)	P0 → P1	A=0	Saída(P1) não altera. Não afeta a saída.
	→ P4	A=1	$t_{pHL}(P0) + t_{pHL}(P1) + t_{pHL}(P4)$ $= 0,444 + 0,019L$
A fixo			$t_{pHL}(P0) + t_{pHL}(P1) + t_{pHL}(P4)$ $= 0,365 + 0,037L$
B variando	P3 → P4	A=0	$t_{pHL}(P3) + t_{pHL}(P4) = 0,377 + 0,019L$
		A=1	$t_{pHL}(P3) + t_{pHL}(P4) = 0,307 + 0,037L$
			Saída(P3) não altera. Não afeta a saída.

Comparando os retardos calculados, é fácil ver que os maiores retardos ocorrem em ambos os caminhos P2 → P3 → P4 e P0 → P1 → P4, quando

$$\begin{aligned} t_{pHL} &= 0,444 + 0,019L \\ t_{pLH} &= 0,365 + 0,037L \end{aligned} \quad (1)$$

Estes caminhos são denominados os **caminhos críticos** e os tempos de propagação dados pela Eq. 1 são os **retardos mínimos do circuito**. Portanto, um esboço da dinâmica do circuito em relação aos tempos de retardo pode ser a saída C em função da entrada A (pior situação) ou a saída C em função da entrada B.

